

N32H730

数据手册

N32H730 系列采用 ARM Cortex-M7 内核，运行频率高达 600MHz，支持双精度浮点运算和 DSP 指令。2MB 片上 FLASH，集成高达 768KB 的 SRAM（包括 512KB TCM SRAM 和 256KB SRAM）+ 4KB Backup SRAM，集成 3 个 12bit 5Msps ADC、3 个高速比较器，4 个 12bit DAC，集成多个高速 U(S)ART、I2C、xSPI、SPI、USBHS Dual Role、CAN-FD、FEMC、SDMMC、10/100M 以太网通信接口，支持数字相机接口（DVP）、TFT-LCD 图形界面、内置高性能加密算法硬件加速引擎，支持 AES/TDES、SHA、SM4 算法，支持 TRNG 真随机数发生器，支持 CRC8/16/32。支持多达 114 个 GPIO，支持的封装类型包括 BGA100、LQFP100、LQFP144 封装。

关键特性

- 内核 CPU
 - 32 位 ARM Cortex-M7 内核，双精度浮点运算单元，支持 DSP 指令和 MPU
 - 内置 32KB 指令 Cache 和 32KB 带 ECC 的数据 Cache 缓存
 - 最高主频 600MHz，1284DMIPS
- 加密存储器
 - 2MByte 片内 Flash，支持加密存储、并在执行程序时自动解密程序
 - 768KB 内置 SRAM，支持 ECC 校验
 - ◆ 512KB TCM SRAM，可配置为 D-TCM、I-TCM 或 SRAM
 - ◆ 256KB 片内 SRAM
 - 4KB Backup SRAM，支持 ECC
- 工作模式
 - Run 模式：
 - SLEEP 模式: AXI 使能、AHB 使能
 - Stop0 模式: SRAM、TCM、RTC、LSE、IWDG 使能
 - Stop2 模式: Flash 待机模式，SRAM、TCM、RTC、LSE、IWDG、Backup SRAM、备份寄存器使能，I/O 保持
 - Standby 模式: Backup SRAM、RTC、IWDG、LSE、备份寄存器使能，SRAM、TCM 关闭
 - VBAT 模式: Backup SRAM、RTC、LSE、备份寄存器使能
- 时钟
 - 4MHz~48MHz 外部高速晶体
 - 4MHz~50MHz 外部时钟输入
 - 32.768KHz 外部低速晶体
 - 内置 3 个高速 PLL
 - 内置 MSI 时钟，支持配置 31.25K/62.5K/125K/250K/500K/1M/2M/4M/8M/16MHz 时钟
 - 内部高速 RC 64MHz

- 内部低速 RC 32KHz
- **复位**
 - 支持上电/掉电/外部引脚复位
 - 支持看门狗复位和软件系统复位
 - 支持可编程的电压检测
- **高速通信接口**
 - 5 个 USART 接口/5 个 UART 接口，支持 ISO7816、IrDA、LIN
 - 2 个 LPUART 接口
 - 4 个 SPI 接口，支持主/从模式，速率高达 50 MHz
 - 4 个 I2C 接口，速率高达 3.4 MHz，主从模式可配，从机模式下支持双地址响应
 - 1 个 USBHS Dual Role 接口
 - 4 个 CAN-FD 总线接口
 - 1 个 Ethernet MAC 接口，支持 10M/100M 通信速率，支持 IEEE 1588 时间同步协议
- **高性能模拟接口**
 - 3 个 12bit 5Msps ADC，支持 12bit、10bit 分辨率，可以硬件过采样至 16bit，支持单端模式和差分模式
 - 3 个高速模拟比较器
 - 4 个 12 bit DAC，其中 2 个 1Msps 的 DAC 支持带 Buffer 和不带 Buffer 单独对外输出，对内输出只支持不带 Buffer 模式；同时对内对外输出必须开启 Buffer；另外 2 个 DAC 仅支持对芯片内 1 个输出通道，采样速率 15Msps，支持对内输出且不带 Buffer 输出
 - 2 个 MCO 输出，可以配置输出 SYSCLK、HSE、MSI、LSE、LSI、HSI64 或者 PLL 时钟分频
 - 支持 1 路参考电压 VREFBUF (1.5V/1.8V/2.048V/2.5V 可配置)
 - 1 个温度传感器
- **音频接口**
 - 4 个 I2S，支持主/从模式，音频采样频率支持 8KHz~192KHz
 - 8 个内置在 DSMU 中的 PDM 数字麦克风接口
- **内存拓展接口**
 - 1 个 FEMC(Flexible External Memory Controller) 接口，总线速率 100 MHz，SRAM/PSRAM/Nor Flash 支持 16/32 位数据宽度可配置，NAND Flash 支持 8/16 位数据宽度可配置
 - 1 个 xSPI 接口，支持 1/2/4/8 位数据宽度、主/从可配置，速率高达 133 MHz，可用于外扩 SRAM、PSRAM 和 Flash，支持 XIP
 - 1 个 SDMMC 接口，支持 SD/SDIO 3.0、eMMC 4.51 格式，速率高达 104MHz
- **图像处理接口**
 - 1 个数字摄像头接口(DVP)，支持 8/10/12/16bit，速率高达 110MHz
 - 1 个 TFT-LCD 显示接口，支持高达 24 位的并行数字 RGB LCD，并提供所有信号接口，可直接连接各种 LCD 和 TFT 面板，分辨率高达 1920x1080
- **最大支持 114 GPIOs，低速 GPIOs 支持 5V 耐压（在 VDD =3.3V+/-10%条件下）**

- 电机控制 Cordic 加速器，支持三角函数和双曲函数加速，支持浮点输入和输出
- Delta Sigma 模块单元(DSMU)
- 内置滤波算法加速器 FMAC，支持 FIR、IIR 滤波
- 3 个高速 DMA 控制器，每个控制器支持 8 通道，1 个 MDMA 支持 16 个通道，通道源地址及目的地址任意可配
- RTC 实时时钟，支持闰年万年历，闹钟事件，周期性唤醒，支持内外部时钟校准
- 定时计数器
 - 2 个 16bit 高级定时计数器，支持输入捕获，互补输出，正交编码输入等功能，最高控制精度 3.3ns；每个定时器有 6 个独立的通道，其中 4 个通道支持 4 对互补 PWM 输出
 - 10 个 16 位通用定时器(GTIMA1~GTIMA7、GTIMB1~GTIMB3)，每个定时器 4 个独立通道，支持输入捕获、输出比较、PWM 生成
 - 4 个 32bit 基本定时计数器(BTIM1~4)
 - 2 个 16bit 低功耗定时器(LPTIM1~2)，可工作在 Stop2 模式下
 - 1x 24bit SysTick、1x 14bit 窗口看门狗(WWDG)、1x 12bit 独立看门狗(IWDG)
- 编程方式
 - 支持 SWD/JTAG 在线调试接口
 - 支持 USB、USART Bootloader
- 安全特性
 - 支持写保护 (WRP)，多种读保护 (RDP) 等级 (L0/L1/L2)
 - 内置密码算法硬件加速引擎，支持 AES/TDES、SHA、SM4 算法
 - TRNG 真随机数发生器、CRC8/16/32 运算
 - 支持外部高速和低速时钟失效监测
 - 支持防拆监测
- OTP 中支持 128 位 UCID
- 工作条件
 - 工作电压范围：
 - ◆ 2.3V~3.6V
 - 芯片结温范围：-40℃~125℃
- 认证
 - USB IF
 - IEC61508 SIL2
- 封装
 - BGA100(8mmx8mm)
 - LQFP100(14mm x 14mm)
 - LQFP144(20mmx20mm)
- 订购型号

系列	型号
N32H730xxx7	N32H730VIB7, N32H730VIL7, N32H730ZIL7

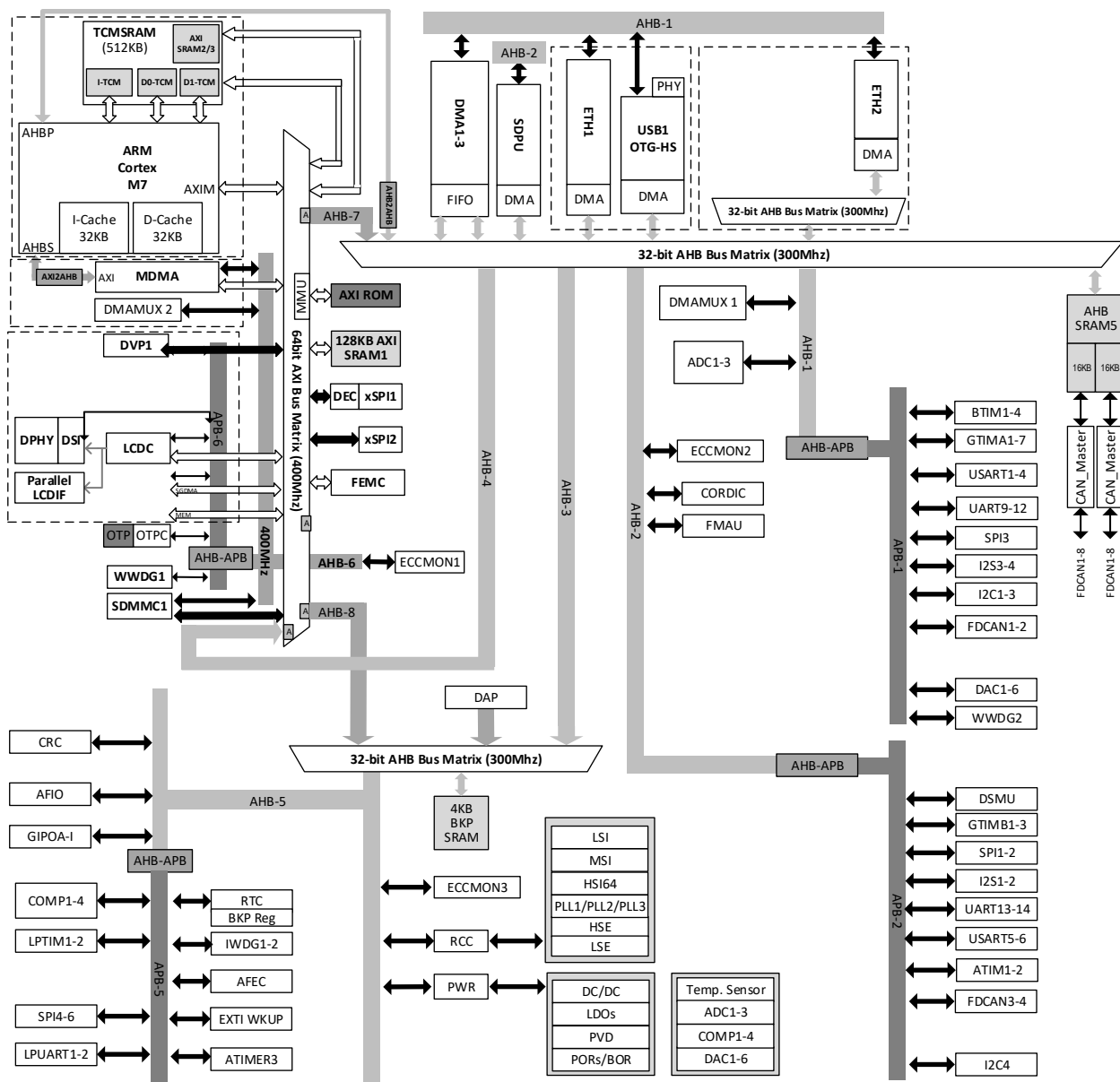
1 产品简介

N32H730 系列采用 ARM Cortex-M7 内核，运行频率高达 600MHz，支持双精度浮点运算和 DSP 指令。2MB 片上 FLASH，集成高达 768KB 的 SRAM（包括 512KB TCM SRAM 和 256KB SRAM）+ 4KB Backup SRAM，集成 3 个 12bit 5Msps ADC、3 个高速比较器，4 个 12bit DAC，集成多个高速 U(S)ART、I2C、xSPI、SPI、USBHS Dual Role、CAN-FD、FEMC、SDMMC、10/100M 以太网通信接口，支持数字相机接口（DVP）、TFT-LCD 图形界面、内置高性能加密算法硬件加速引擎，支持 AES/TDES、SHA、SM4 算法，支持 TRNG 真随机数发生器，支持 CRC8/16/32。支持多达 114 个 GPIO，支持的封装类型包括 BGA100、LQFP100、LQFP144 封装。

N32H730 系列产品可稳定工作于-40°C 至+105°C 的温度范围，供电电压 2.3V 至 3.6V，提供多种功耗模式。

图 1-1 给出了该系列产品的总线框图。

图 1-1 N32H730 系列框图



注：该框图标注的是全部外设资源，各个系列的资源详情请参考 1.1 章节。

1.1 器件一览

表 1-1 N32H730 系列资源配置

器件型号		N32H730VIB7	N32H730VIL7	N32H730ZIL7
Flash（KB）		2048		
SRAM （KB）	TCM	512 ⁽¹⁾		
	System RAM	256		
	Backup RAM	4		
内核	M7	600MHz		
工作电压		2.3V~3.6V		
协处理器	Cordic	Yes		
	DSMU	Yes		
	FMAC	Yes		
定时器	ADTIM	2*16bit ⁽²⁾		
	GPTIM	10*16bit		
	BSTIM	4*32bit		
	LPTIM	2*16bit		
	SysTick timer	1		
	WWDG	1*14bit		
	IWDG	1*12bit		
	RTC	Yes		
通信接口	SPI/I2S	4/4 ⁽³⁾		
	I2C	4 ⁽⁴⁾		
	USART	3 ⁽⁵⁾	5 ⁽⁵⁾	
	UART	5 ⁽⁶⁾		
	LPUART	2		
	USBHS Dual Role	1		
	CAN FD	4 ⁽⁷⁾		
	10/100M ETH	1 ⁽⁸⁾		
扩展存储	xSPI	1 ⁽⁹⁾		
	FEMC	Yes		
	SDMMC	1		
模拟	12bit ADC Number of channels	3 16	3 28	
	12bit DAC Number of channels	2 (External channels) + 2 ⁽¹⁰⁾		
	比较器	2 ⁽¹¹⁾	3 ⁽¹¹⁾	
	VREFBUF	Yes		
图像	LCDC	Yes		
	DVP	1		
GPIO		82	114	
DMA Number of channels		3 24Channel		
MDMA Number of channels		1 16Channel		

算法支持	DES/3DES、AES、SHA1/SHA224/SHA256、SM4、CRC8/16/CRC32		
安全保护	读写保护（RDP/WRP）		
封装	BGA100 (8mmx8mm)	LQFP100 (14mmx14mm)	LQFP144 (20mmx20mm)

注：

1. 上电默认是 SRAM，用户可以自主划分为 ITCM，DTCM，SRAM 的大小；
2. ATIM 接口为 ATIM1~2；
3. SPI 接口说明：4 表示 SPI1~4； I2S 接口为 I2S1~4；
4. I2C 接口为 I2C1-4；
5. USART 接口说明：3 表示 USART1~3, 5 表示 USART1~5；
6. UART 接口为 UART9~13；
7. FDCAN 接口为 FDCAN1~4；
8. ETH 接口为 ETH1；
9. xSPI 接口为 xSPI2；
10. 2 个 DAC 仅支持对内连接，不能输出到 GPIO 上；
11. COMP 接口说明：2 表示 COMP1~2, 3 表示 COMP1~3

2 功能简介

2.1 处理器内核

N32H730 系列器件基于高性能 Arm® Cortex®-M7 32 位 RISC 内核。工作频率高达 600 MHz。支持浮点运算单元(FPU)，支持 Arm®单精度和双精度操作和转换(兼容 IEEE 754)，包括一整套 DSP 指令和内存保护单元(MPU)，以增强应用程序的安全性。

2.1.1 Arm® Cortex®-M7

Arm® Cortex®-M7 是一款高性能处理器。它具有 6 级超标量流水线，具有 FPU，能够进行单精度和双精度操作。指令和数据总线扩展到 64 位宽。

处理器支持的接口包括:

- 64 位 AXI4 接口
- 32 位 AHB 主接口
- 32 位 AHB 从接口
- 64 位指令 TCM 接口
- 2x32 位数据 TCM 接口

处理器其他功能有:

- 32kB 指令 Cache 缓存，32kB 数据 Cache 缓存，所有 Cache 缓存存储器均采用 ECC 保护
- 内存保护单元(MPU)，可配置为多达 16 个内存保护区域
- 双精度和单精度浮点运算 FPU
- 支持 ETM
- 高效的 DSP 指令

2.1.2 MPU

MPU 具有可配置的内存保护属性。它允许定义最多 16 个受保护区域，这些受保护区域可以划分为最多 8 个独立的子区域，其中可以配置区域地址、大小和属性，保护范围为 32B ~ 4GB 的可寻址内存，当进行非法访问时，会产生内存管理异常

2.2 存储器

N32H730 系列器件具有片内 Flash, 大小可配置的嵌入式 SRAM 和外部存储接口，如 FEMC、xSPI2。可配置的体系结构提供了根据应用程序需求对内存资源进行分区的灵活性，以便在应用程序代码大小、数据大小和节能方面获得适当的性能权衡，此外，嵌入式 ROM 用作初始引导加载程序和安全引导。

2.2.1 嵌入式SRAM

TCM RAMs(只对 Cortex-M7)

TCM RAM 由 1MB SRAM 组成, 可配置为 ITCM-RAM, DTCM-RAM 和 AXI-SRAM2 /3, 软件可灵活配置 DTCM 和 I-TCM 大小, 剩余 SRAM 自动配置为 AXI-SRAM2 /3, 粒度为 128KB。ITCM RAM 映射到地址 0x0000 0000, 它只能被 Cortex®- M7 CPU 和 MDMA 访问(即使 CPU 处于休眠模式), DTCM RAM 映射在地址 0x2000 0000, 也只能通过 Cortex®- M7 CPU 内核和 MDMA 访问。

AXI SRAM

高达 1152KB 的 AXI RAM, 它可以通过字节(8 位), 半字(16 位), 全字(32 位)或双字(64 位) 访问。AXI SRAM 分为以下几种:

- 128KB 的 AXI SRAM 1 映射到地址 0x2400 0000
- 最大 512KB 的 AXI RAM 2(与 ITCM 和 DTCM 共享), 映射地址为 0x2402 0000
- 最大 512KB 的 AXI RAM 3(与 ITCM 和 DTCM 共享), 映射地址为 0x240A 0000

AHB SRAM

N32H730 系列器件的 AHB SRAM5 为 32KB, 它可以通过字节、半字(16 位)或字(32 位)访问。AXI SRAM 分为以下几种:

- 32 KB 的 AHB SRAM5 被映射到地址 0x3005 0000。

AHB SRAM 5 被分成两个块, 与 CANFD1-8 共享, 用于 CANFD 数据帧缓冲 buffer。

备份 SRAM

备份 SRAM 位于 AHB 总线域 2, 它被映射到地址 0x3800 0000, 它可以通过字节、半字(16 位)或字(32 位)来访问。

纠错码(ECC)

所有内部系统 RAM 都包含纠错码(ECC)。可以通过各自的 ECC 监视器(ECCMON)模块进行编程配置。ECC 机制基于 SECDED 算法,支持单比特和双比特的错误检测以及单比特的纠错。

SRAM 数据采用 ECC 保护方式:

- 每 32 位字增加 7 个 ECC 位
- 对于 ITCM-RAM 和 AXI_SRAM1, 每 64 位字增加 8 位 ECC 位

2.2.2 嵌入式ROM

N32H730 系列器件有 32KB 的嵌入式 ROM, 映射到地址 0x1FFF0000。包含一个小的引导加载程序, 它分为两部分:安全代码和 API。安全代码只能由 Cortex-M7 访问, 而 API 可以由内核 CPU 调用。

2.2.3 片上 Flash

片上 Flash 的最大容量为 4MB，前 128KB 用作 BOOTPATCH 和选项字节，剩余的用于用户应用程序代码，片上 Flash 在 XIP 模式下运行时支持 RTAD 模块对 AES128 进行实时解密，且解密适用于存储在 Flash 中的任何数据。

2.3 系统启动模式

复位后默认启动 Cortex®- M7。BOOTROM 程序有 2 种模式:Boot Application 和 Serial Download，这两种模式可以通过 Boot 引脚和选项字节来选择:

启动应用程序:正常运行 BOOTROM 程序后，应用程序映像将根据选项字节中的 BOOTADDR_M7 从片内 Flash/TCM/SRAM 启动。

串口下载:BOOTROM 程序通过 USART1 或 USB1 接收应用程序镜像，存储在片内 Flash/TCM/SRAM 中。

表 2-1 boot 模式

BOOT 引脚	选项字节 (OTP_SYS_CFG_BTMT)	模式	描述
0	!0x5AA5 and !0x4884	Boot Application	boot from on-chip Flash/TCM/SRAM
1	!0x5AA5 and !0x4884	Serial Download	Built communication with Host by UART or USB
*	0x5AA5	Boot Application	boot from on-chip Flash/TCM/SRAM
*	0x4884	Serial Download	Built communication with Host by UART or USB

2.4 供电方案

外部电源: VDD、VDDA、VREF、VBAT、VDDSMPS、VDDLDO、VDD33USB, VDDDSI。其中 VDD 是芯片电源，主要给供电系统、时钟系统供电; VDDA 为模拟外设电源，主要给模拟外设供电; VREF 给模拟外设提供参考电源，以提供更高的精度。VBAT 连接电池，为备份域提供电源。VDDSMPS 为 DCDC SMPS 供电; VDDLDO 为主 LDO 供电 (仅支持的型号，否则为 NC); VDD33USB 为 USB PHY 供电; VDDDSI 为 MIPI-DSI PHY 供电。

5 个电源域，通过外部电源给不同电源区域供电:

- V_{DD} 域: 电压范围为 2.3V~3.63V，主要为 SMPS、Main LDO、大部分 GPIO、HSE、HSI、PLL、POR/PDR、BOR、PVD、USB PHY，DSI PHY 等供电。
- V_{DDA} 域: 电压范围为 2.3V~3.63V，主要为 ADC、DAC、COMP、VREFBUF、TS 等供电。
- V_{DDBK} 域: 电压范围为 2.3V~3.63V，主要为 WKUP 引脚、NRST、PC13/14/15、LSE、LSI 等供电。
- V_{DDD} 域: 电压为 0.9V~0.99V.主要为 CPU、SRAM、RCC、TRNG、USB PHY 数字部分、DSI PHY 数字部分和大部分外设供电。VDDD 域分为 VDDDRET、VDDDMAIN 子电源域
 - ◆ VDDDRET 域: 为 LPUART、LPTIMER、EXTI 等模块，电源为 VDDD，有单独的开关控制。

◆ VDDDMAN 域：直接为总线 AXI、AHB、APB 及总线适配器；低速通信接口 SPI、I2C、UART；定时器 ATIMER、GTIMER、BTIMER 等供电。并包含如下的子电源域：

- CM7 子电源域：包含 CM7 核，TCM memory 及控制器；
- MDMA 子电源域：包含 MDMA；
- HRTIM1 子电源域：包含 HRTIMER 1 的数字电路；
- HRTIM2 子电源域：包含 HRTIMER 2 的数字电路；
- HRTIMAFE 子电源域：包含 HRTIMER1 和 HRTIMER2 共享的 HRTIMER 模拟前端；
- HSC1 子电源域：包含高速通信接口 USB1 和 Ethernet 1；
- HSC2 子电源域：包含高速通信结构 USB2、Ethernet 2 及 SDMMC 2；
- GRAPHICS 子电源域：包含 GPU、DVP1、DVP2、LCDC、JPEG CODEC 和 MIPI-DSI 等模块。

以上子电源域的电源开关除 CM7 内核子系统由硬件控制外，其他均由软件控制。

■ VDDDBK 域：电压为 0.9V~0.99V，主要为 PWR、Backup SRAM、RTC、WKUP 引脚、NRST、PC13/14/15、备份 IOM、IWDG、RCC_BKP 和 Backup 寄存器供电。

2.5 复位

内部集成了上电复位(POR)和掉电复位(PDR)电路，这部分电路始终处于工作状态，保证系统在供电超过 2.3V 时工作；当 V_{DD} 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

2.6 可编程电压监测器

内置一个可编程电压监测器(PVD)，它监视 V_{DD} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时将产生中断，中断处理程序可以发出警告信息。PVD 功能需要通过程序开启。关于 VPOR/PDR 和 VPVD 的值参考表 4-7。

2.7 低功耗模式

N32H730 支持五种低功耗模式：

■ SLEEP 模式

在 SLEEP 模式下，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

■ STOP0 模式

STOP0 模式基于 Cortex-M7 深度睡眠模式，在 SRAM 和寄存器内容不丢失的情况下，STOP0 模式可以达到较低的电能耗耗。在 STOP0 模式下，所有高速时钟关闭，例如 PLL、HSI、HSE。

唤醒：可以通过任意配置成 EXTI 的信号把芯片从 STOP0 模式中唤醒，EXTI 信号可以是外部 16 个 EXTI 信号（I/O 相关）、PVD 的输出、LPTIMER、LPUART、RTC 唤醒、RTC 闹钟等。

■ STOP2模式

STOP2 模式基于 Cortex -M7 深度睡眠模式，CPU 内部寄存器保持不丢失，运行程序的 TCM 或 SRAM 内容不丢失的情况下，主电源域 VDDDMAN 下电。STOP2 模式较 STOP0 模式可以达到更低的电能消耗。在 STOP2 模式下，主电源域的高速时钟关闭，例如 PLL、HSI、HSE；保持域(VDDDDRET)电源保持开启，LPUART、LPTIMER 等模块可以在低速时钟 LSE 或 LSI 下工作；备电域（VDDDBKP）电源开启，RTC、IWDG 等可以正常工作。

唤醒：可以通过任意配置成 EXTI 的信号把芯片从 STOP2 模式中唤醒，EXTI 信号可以是外部 16 个 EXTI 信号（I/O 相关）、PVD 的输出、RTC 唤醒、RTC 闹钟等。唤醒后 CPU 可以从进 STOP2 前处继续运行。

■ STANDBY模式

在 STANDBY 模式下可以达到最低的电流消耗状态。内部的电压调压器被关闭，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭；进入 STANDBY 模式后，保持域(VDDDDRET)掉电，大部分寄存器的内容将丢失，备份寄存器的内容仍然保留，backup SRAM 可选保持，备份域（VDDDBKP）电路仍工作。

唤醒：NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的边沿、RTC 唤醒或 RTC 的闹钟唤醒事件。

■ VBAT模式

在任何时候，只要 V_{DD} 掉电而 V_{BAT} 有电时，都将自动进入 VBAT 模式。在 VBAT 模式下，除了 NRST、WKUP、PC13_TAMPER、PC14、PC15 之外，大多数 I/O 引脚处于高阻状态。

唤醒：VDD 开启

2.8 复位和时钟控制 (RCC)

RCC 管理所有时钟的产生、时钟门控以及系统和外设复位的控制。它在时钟源的选择上具有很高的灵活性，并允许应用时钟比率来改善功耗。

2.8.1 时钟管理

设备内置 3 个内部振荡器、2 个带外部晶体或谐振器的振荡器和 4 个 PLL。

RCC 有以下时钟源输入：

- HSI64：64 MHz 内部高速振荡器

该振荡器的控制逻辑位于待机功耗域。初始上电后以及从系统低功耗模式（stop0、stop2 和待机）唤醒后，该时钟被用作默认系统时钟。

- MSI：16 MHz 中速振荡器

该振荡器的控制逻辑位于保留电源域。在 stop2 系统电源模式下，该时钟被保留电源域中的外设用作高速时钟。该时钟还可选作某些外设的系统时钟和内核时钟。

- HSE: 4 ~ 48 MHz 外部高速振荡器

该振荡器的控制逻辑位于内核电源域。该时钟可选做系统时钟、某些外设的内核时钟以及某些 phy (USB、DSI...) 的参考时钟。

- LSI: 32KHz 低速内部振荡器

该振荡器的控制逻辑位于待机电源域。它是系统上电期间切换的第一个时钟，并被待机电源域中的 PWR 用来启动系统上电以及从待机和 stop2 等系统低功耗模式唤醒。待机和保持电源域中的外设也使用该时钟。

- LSE: 32.768 KHz 低速外部振荡器

该振荡器的控制逻辑位于待机功耗域。该振荡器为待机和保留电源域中的外设提供低功耗和精确时钟。

- PLL: 400MHz ~ 1.25GHz 锁相环

该振荡器的控制逻辑位于核心电源域。可将 HSI64、MSI 和 HSE 时钟配置为 PLL 的源时钟。

- PLL1 最大频率 600 MHz，该 PLL 被某些外设用作系统时钟源和内核时钟源。
- PLL2 最高频率 800 MHz，该 PLL 被某些外设用作系统时钟源和内核时钟源。
- PLL3 最高频率 800 MHz，某些外设将此 PLL 用作内核时钟源。

PLL1、PLL2 和 PLL3 的时钟输出通过可配置的数字分频器进一步分频，然后用作系统时钟或外设内核时钟。

2.8.2 系统复位源

系统复位会将所有寄存器复位到其复位值，但复位状态寄存器中的复位标志和待机域中的某些寄存器除外（这些寄存器只能通过对 BDRST 寄存器编程和待机域 POR 复位）。

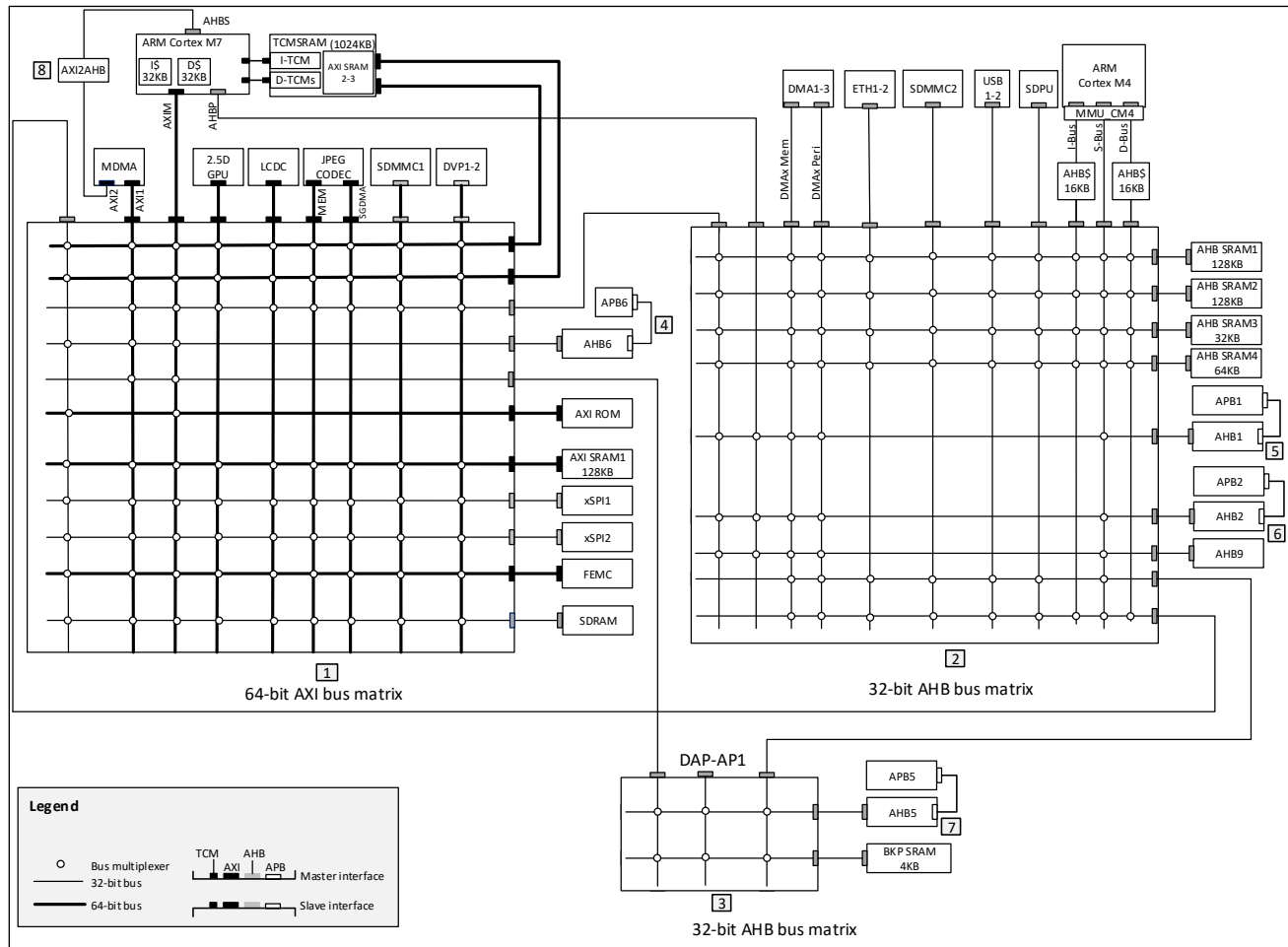
系统复位来自以下来源：

- POR。
- NRST 引脚。
- IWDG 和 WWDG 复位请求。
- 来自 CPU 的复位请求。
- EMC 复位请求
- 来自 PWR 的低功耗复位请求
- BOR 复位
- MMU 复位请求

2.9 总线互连矩阵

这些器件具有一个 AXI 总线矩阵、两个 AHB 总线矩阵和总线桥，可实现总线主站与总线从站的互连。

图 2-1 总线矩阵架构



2.10 通用输入输出接口(GPIO)和复用功能接口(AFIO)

GPIO 指通用型输入输出接口，AFIO 是指复用功能接口。芯片最多支持 168 个 GPIO,它们被分成了 11 组 (GPIOA/GPIOB/GPIOC/GPIOD/GPIOE/GPIOF/GPIOG/GPIOH/ GPIOI/GPIOJ/GPIOK)。每组有 16 个端口。GPIO 端口和其他的复用外设公用引脚。用户可以根据需求灵活配置。每个 GPIO 引脚都可以独立配置成输出（推挽或开漏），输入（浮空或上拉或下拉）或复用的外设功能端口。除了模拟功能引脚外，其他的 GPIO 引脚都有大电流通过能力。

- GPIO 端口具有以下特征：
- 每个 GPIO 端口可由软件分别配置成以下模式：
 - ◆ 输入浮空
 - ◆ 输入上拉
 - ◆ 输入下拉

- ◆ 模拟功能
- ◆ 开漏输出，上下拉可配置
- ◆ 推挽输出，上下拉可配置
- ◆ 推挽复用功能，上下拉可配置
- ◆ 开漏复用功能，上下拉可配置
- 独立的位设置或清除功能
- 所有 IO 支持外部中断
- 所有 IO 支持低功耗模式唤醒，上升或下降沿可配置
 - ◆ 16 个 EXTI 可用于 STOP0 模式唤醒，所有 IO 可复用为 EXTI
 - ◆ PA0/PA2/PC1/PC13/PI8/PI11 可用于 STANDBY 模式唤醒
- 支持软件重映射 IO 复用功能
- 支持 GPIO 锁定机制，锁定后只能通过复位清除

每个 I/O 端口位可以通过 AHB 接口任意编程，但是必须按照 32 位字，16 位半字或 8 位字节访问 I/O 端口寄存器（AFIO 寄存器只支持 32 位字访问）

2.11 嵌套中断向量控制器(NVIC)

该设备嵌入了嵌套中断向量控制器（NVIC）。

NVIC 包括以下特征：

- 234 个可屏蔽中断通道
- 16 个可编程的优先等级

2.12 外部中断/事件控制器(EXTI)

外部中断/事件控制器(EXTI) 通过片上外设或者外部输出产生的可配置和直接事件输入控制着唤醒。它将唤醒事件发送给 PWR, 将中断和事件信号传输到两个 CPU。

EXTI 唤醒请求允许系统从 STOP0 和 STOP2 模式唤醒，它同时可以将 CPUs 从 CSLEEP, CSTOP0 和 CSTOP2 模式下唤醒。中断请求和事件请求生成也可以在 Run 模式下使用。

EXTI 包括以下特征：

- 将系统从 CSTOP0 和 CSTOP2 模式下唤醒
- 产生中断和事件传输到 CPUs

这些请求可以从以下事件输入生成：

- 直接事件（在片上外设产生，事件标志在源外设中保存或者清除，而不是在 EXTI）特性如下：
 - ◆ 固定上升沿触发

- ◆ 有中断和事件屏蔽位
- 可配置事件（从外部设备或者片上外设产生，只产生脉冲事件）特性如下：
 - ◆ 软件触发
 - ◆ 上升沿下降沿触发可配置。
 - ◆ 有中断和事件屏蔽位

2.13 DMA 请求复用器(DMAMUX)

外设通过设置其 DMA 请求信号来指示存在 DMA 传输请求。DMA 控制器会处理 DMA 请求并生成 DMA 确认信号，而且相应的 DMA 请求信号也将变为无效，但在此之前 DMA 请求一直处于挂起状态。

DMAMUX 请求复用器可在产品的外设和 DMA 控制器之间重新配置（路由）DMA 请求线。该路由功能通过可编程的多通道 DMA 请求线复用器来确保实现。每条通道可不受限制地选择一个 DMA 请求线，或者按照与来自其 DMAMUX 同步输入的事件相同步的方式选择一个 DMA 请求线。此外，DMAMUX 还可用作其输入触发信号的可编程事件的 DMA 请求发生器。

主要特性如下：

表 2-2 DMAMUX 输入输出

特性	DMAMUX1	DMAMUX2
DMAMUX 同步输入数量	9	1 (内部使用或者未使用)
DMAMUX 外设请求数量	210	4
DMAMUX 请求触发输入数量	26	38
DMAMUX 请求发生器通道数量	8	16
DMAMUX 输出请求通道数量	24	16

- 每个 DMA 请求发生器通道均具有：
 - ◆ DMA 请求触发输入选择器
 - ◆ DMA 请求计数器
 - ◆ 所选 DMA 请求触发输入的事件溢出标志
- 每个 DMA 请求线复用器通道输出均具有：
 - ◆ 多达 210 个来自外设的输入 DMA 请求线
 - ◆ 多达 3 个 DMA 请求线输出
 - ◆ 同步输入选择器
 - ◆ DMA 请求计数器
 - ◆ 所选同步输入的事件溢出标志
 - ◆ 一个事件输出，用于 DMA 请求链接
- AHB 从接口，不支持突发，仅 32 位访问

■ DMAMUX 上溢中断

2.14 DMA 控制器(DMA)

DMA 控制器由 CPU 控制，可执行从源到目标的快速数据传输。配置完成后，数据传输无需 CPU 干预。因此，CPU 可以被释放用于执行其他计算/控制任务，或节省系统的整体功耗。

芯片有三个 DMA 控制器（DMA1、DMA2、DMA3），每个控制器有 8 个逻辑通道。每个逻辑通道用于处理来自一个或多个外设的内存访问请求。内部仲裁器控制不同 DMA 通道的优先级。

主要特性如下：

通用特性

- 符合 AMBA 2.0 标准
- AHB 从接口——用于对 DMA 进行编程
- 通道
 - 最多八个通道，每个源和目标对应一个通道
 - 单向通道——仅单向传输数据
 - 可编程通道优先级
- AHB 主接口
 - 多达四个独立的 AHB 主接口，允许：
 - 最多可同时进行四次 DMA 传输
 - 可位于不同 AHB 层的主控器（多层支持）
 - 源端和目标端可位于不同的 AHB 层（伪 fly-by 性能）
 - 每个 AHB 主接口的数据总线宽度（最多 256 位）可配置
 - 主接口可配置字节序
- 传输
 - 支持内存到内存、内存到外设、外设到内存以及外设到外设的 DMA 传输
 - 通过 APB 桥与 APB 外围设备之间进行 DMA 传输
- 可配置识别寄存器
- 可配置软件驱动程序支持的组件 ID 参数
- DesignWare AHB Lite 系统的配置
- 最后一拍的 DMA 突发指示
- 支持 AHB 从接口和每个 AHB 主接口上数据访问的小端、地址不变（AI）大端方案和 BE-32（字不变）方案

- 仲裁方案，用于决定哪条请求线获准访问特定的主总线接口

地址生成

- 可编程源地址和目的地址（在 AHB 总线上）
- 地址递增、递减或不变
- 通过以下方式实现多块传输：
 - 链接列表（块链）
 - 自动重新加载通道寄存器
 - 块间地址连续

- 多区块传输类型的独立源和目标选择

- 分散/收集

通道缓冲

- 源和目标每个通道单个 FIFO
- 可配置的 FIFO 深度
- 基于 D 触发器的 FIFO
- 自动数据打包或拆包，以适应 FIFO 宽度

通道控制

- 每个通道的可编程源和目的地
- 每条通道的可编程传输类型（存储器到存储器、存储器到外设、外设到存储器、外设到外设）
- 每个通道的可编程突发事务大小
- 可编程使能和禁用 DMA 通道
- 支持在不丢失数据的情况下禁用通道
- 支持暂停 DMA 操作
- 支持 RETRY、SPLIT 和 ERROR 响应
- 每个通道可编程的最大突发传输大小
- 可配置的最大事务大小
- 可配置的最大块大小
- 总线锁定--可对事务、块或 DMA 传输级别进行编程
- 通道锁定--可编程为事务、数据块或 DMA 传输级别
- 硬编码多块传输类型选项
- 在每次块传输结束时禁用回写通道控制寄存器的选项

传输启动

- 源外设和目标外设的握手接口（最多 8 个）

- 硬件握手接口
- 软件握手接口
- 外设中断握手接口

- 握手接口支持单个或突发 DMA 事务
- 硬件握手接口极性控制
- 使能和禁用单个 DMA 握手接口

流量控制

- 在块传输级别（源、目标或 DMA 控制器）进行可编程流量控制
- 当目标是流量控制器时，对源数据预取的软件控制

中断

- 合并和单独中断请求
- 中断发生时：
 - DMA 传输（多数据块）完成
 - 块传输完成
 - 单个和突发事务完成
 - 错误条件
- 支持中断使能和屏蔽

低功耗模式

- 全局时钟门控
- 特定通道时钟门控

2.15 MDMA 控制器(MDMA)

MDMA 是一种高度可配置、高度可编程、高性能、多主控多通道的 DMA 控制器，采用 AXI 作为数据传输总线接口。

主要特性如下：

通用特性

- 独立的核心、从属接口和主接口时钟
- 多达 24 个通道，每个源和目标对一个通道
- 仅进行单向数据传输（每个通道都是单向的）
- 多达两个 AXI 主接口：
 - 支持多层的两个主接口

- 多个 AXI 主接口可直接连接不同 AXI 互连上的外设，从而提高总线性能
- 支持不同 AMBA 层上的不同 ACLK
- 内存到内存、内存到外设、外设到内存以及外设到外设 DMA 传输
- 单独的外部存储器接口（每个通道），用于将 SRAM 或基于寄存器文件的存储器连接到通道 FIFO
- AMBA 3 AXI/AMBA 4 AXI 兼容主接口
- AHB/APB4 从接口，用于 DMA 控制器编程
 - AHB 从接口仅支持单次传输（hburst = 3'b000）
- AXI 主数据总线宽度可达 512 位（适用于两个 AXI 主接口）
- AXI 主接口的静态或动态选择 Endian 模式
- 用于动态选择尾数的输入引脚
- 可配置独立控制主接口上链表访问的尾数模式
- 可选标识寄存器
- 支持通道锁定
 - 支持在不同传输层级锁定主总线接口的内部通道仲裁
- DMAC 状态指示输出
 - 空闲/繁忙指示
- DMA 保持功能
- 输出引脚指示 DMA 事务级的最后一次写传输
- 多级 DMA 传输层次结构
 - DMA 传输分为事务级、块级和完整 DMA 传输级
- 支持 AXI 非对齐传输
- 支持上下文敏感低功耗选项
- 支持唯一 ID 功能，在 AXI 读/写通道上生成具有唯一 ID 的 AXI 读/写传输

通道缓冲

- 每个通道一个 FIFO
- FIFO 深度
- 自动打包/拆包数据以适应 FIFO 宽度

通道控制

- 每个通道的可编程传输类型（内存到内存、内存到外设、外设到内存和外设到外设）
- 单个或多个 DMA 事务
- 每个通道的可编程多重事务大小
- 每个通道的可编程最大 AMBA 突发传输大小

- 在不丢失数据的情况下禁用通道
- 通道暂停和恢复
- 可编程通道优先级
- 在不同传输层级锁定主总线接口的内部通道仲裁
- 使用链表、连续地址、自动重载和影子寄存器方法进行可编程多块传输
- 链接表的动态扩展
- 独立配置 SRC/DST 多块传输类型
- 多个状态机，每个通道 SRC 和 DST 各一个
- 用于数据和 LLI 访问的独立状态机
- 控制信号，如缓存和保护，每个 DMA 块均可编程
- 可编程传输长度（块长度）
- 错误状态寄存器，便于在发生错误时进行调试

流量控制

- DMA 传输级别的可编程流量控制
 - 如果在 DMA 初始化之前块传输的大小已知，则 DMA 控制器是 DMA 块传输级别的流量控制器
 - 如果在 DMA 初始化之前不知道 DMA 块传输的大小，则源外设或目标外设都是未定义长度（需求模式）DMA 块传输的流量控制器

握手接口

- 用于非内存外设的可编程软件和硬件握手接口
- 最多 64 个硬件握手接口/外设
- 使能/禁用单个握手接口外设和通道之间的可编程映射；多对一映射，每次只有一个外设处于活动状态
- 在软件握手模式下控制 DMA 传输的内存映射寄存器

中断输出

- 合并和单独中断输出
- 中断生成：
 - DMA 传输完成
 - 块传输完成
 - 单个或多个事务完成
 - 错误条件
 - 通道暂停或禁用
- 中断使能和屏蔽

总线接口

- 主接口采用 AMBA 3 AXI 和 AMBA 4 AXI 协议，从接口采用 AHB、AXI4-Lite 和 APB 3 协议
- 主接口的数据总线宽度可达 512 位
- 主接口上的未完成事务
- 设置主接口上每个通道的未完成事务限制
- 可配置的 AXI 传输宽度
- 为连接在同一主接口上的不同通道提供失序事务支持特定通道的事务始终按顺序启动
- 主接口上的递增和固定地址传输
- 源地址和目的地址数据传输；必须与各自的传输宽度对齐
- 从接口的数据总线宽度为 32/64 位
- 从接口使用的传输大小（宽度）；必须与数据总线宽度相同

安全功能

- 接口级所有通用寄存器和通道专用寄存器的奇偶校验保护功能，通过奇偶校验进行数据完整性检查
- 纠错码（ECC）保护功能可纠正单比特错误和检测双比特错误，使能防止数据损坏
 - FIFO 存储器接口的 ECC 保护功能
 - 用于 UID 存储器接口的 ECC 保护功能
 - AXI 主接口的 ECC 保护功能

锁定步进功能适用于安全关键型应用，可提高安全性和可靠性，以应对单事件猝发（SEU）和极端 EMI/EMC 等不利工作条件

2.16 AES 实时解密 (RTAD)

主要特性如下：

- 在 XSPI 存储器映射读取操作期间进行实时 128 位解密（单次或多次）。
 - ◆ 使用计数器（CTR）模式下的 AES，带有密钥流先进先出队列（深度 = 4）。
 - ◆ 支持任何读取大小。
 - ◆ 读取的物理地址用于加密 / 解密。
 - ◆ 最多四个独立的加密区域。
 - ◆ 区域定义的粒度：4096 字节。
 - ◆ 区域配置写入锁定机制。
 - ◆ 两种可选的解密模式：仅执行和永不执行。
 - ◆ 每个区域都有自己的 128 位密钥、两个字节的固件版本和八个字节的应用程序定义的随机数。每次应用程序执行加密时，至少其中之一必须更改。

- 加密密钥的机密性和完整性保护。
 - ◆ 只写寄存器，带有软件锁定机制。
 - ◆ 提供 8 位 CRC 作为公钥信息。
- 支持 xSPI 预取机制。
- 在仅执行模式下，可以选择增强加密模式，在 AES 流密码之上添加专有的保护层。
- AMBA AHB 从外设，仅可通过 32 位字单次访问进行访问（否则会生成 AHB 总线错误，并且写入访问将被忽略）。

2.17 滤波算法加速器（FMAC）

滤波器数学加速单元用于对矢量进行算术运算，包括一个乘法器、累加器、以及能够在本地内存中索引矢量元素的地址生成逻辑。该单元支持输入和输出循环缓冲区，以便于实现有限脉冲响应 (FIR) 和无限脉冲响应 (IIR) 等数字滤波器。

该单元可使处理器免于频繁或冗长的滤波操作，从而释放处理器以执行其他任务。在许多情况下，与软件实现相比，它可以加速此类计算，从而加快关键时间任务的处理速度。

主要特性如下：

- 16 x 16 位乘法器
- 24 + 2 位累加器，带加法和减法功能
- 16 位定点输入和输出数据
- 256 x 16 位数据缓冲区
- 内存中最多可定义三个数据缓冲区(两个输入，1 个输出)，由可编程基地址指针和相关大小寄存器定义
- 输入和输出缓冲区可循环使用
- 滤波器功能：FIR、IIR (直接形式 1)
- 矢量函数：点积、卷积、相关性
- 支持 DMA 读写数据

2.18 CORDIC协处理器（CORDIC）

CORDIC 硬件计算单元可对数学函数（主要是三角函数）进行硬件加速。通常用于加速电机控制、计量、信号处理等应用中的数学函数计。

主要特性如下：

- 支持旋转和矢量计算模式
- 支持圆坐标和双曲坐标系统

- 一旦计算开始，任何读取结果寄存器的操作都会使总线进入等待状态，直到计算完成，从而允许在计算完成后读出计算结果，而无需轮询或中断
- 支持 10 种函数加速：sin、cosine、sinh、cosh、atan、atan2、atanh、modulus、square root、natural logarithm
- 支持定点和浮点数据输入输出模式
- 支持中断、轮询、以及 DMA 读写模式
- 迭代精度可配置

2.19 基于 Σ - Δ 调制器的数字滤波器单元 (DSMU)

DSMU 是一种用于连接外部 Σ - Δ 调制器的高性能模块，具有 8 个外部数字串行通道，以及 4 个可灵活配置的 Sigma Delta 数字滤波器，可提供高达 24 位的最终 ADC 分辨率。外部串行通道可配置为 SPI 接口或曼彻斯特编码单线接口（参数均可配置），以兼容多种调制器。同时还支持内部并行数据输入通道，用于接收来自 ADC 外设或设备内存的 16 位并行数据流。

DSMU 可工作于单次转换模式和连续模式，并提供具有独立可配置数字滤波器的模拟看门狗，以及短路检测、极值检测等功能。它还支持两种电源模式：正常模式和停止模式。

DSMU 主要特性如下：

- 8 路可配置外部数字串行输入通道：
 - ◆ 支持 SPI 接口，用于连接各种 Σ - Δ 调制器
 - ◆ 支持曼彻斯特编码单线接口
 - ◆ 支持输出时钟给外部 Σ - Δ 调制器
- 8 路内部数字并行输入通道：
 - ◆ 最高分辨率 16 位
 - ◆ 数据源：ADC 数据或内存（CPU/DMA）数据流
- 4 个可配置数据信号处理单元：
 - ◆ 1 个 Sincx 滤波器：滤波阶数/类型（1..5），过采样率（高达 1..1024）
 - ◆ 1 个积分器：过采样率（1..256）
- 最高 24 位有符号数据输出
 - ◆ 最终输出数据右对齐（0..31 位）
- 有符号数据输出
- 自动数据偏移校正（偏移量由用户写入指定寄存器）
- 支持连续或单次转换

- 转换开始支持以下同步方式：
 - ◆ 软件触发
 - ◆ 内部定时器
 - ◆ 外部事件
 - ◆ 与第一个 DSMU 滤波器同步转换 (DSMU_FLT0)
- 支持模拟看门狗
 - ◆ 低阈值和高阈值可分别配置
 - ◆ 支持独立可配置的 Sincx 数字滤波器 (滤波阶数= 1..3, 过采样率= 1..32)
 - ◆ 数据源可配置: 输出数据寄存器、一个或多个串行数字输入通道
 - ◆ 独立于正常转换的持续数据监控
- 支持短路检测器, 可用于检测饱和和模拟输入数据 (低于负阈值或高于正阈值)
 - ◆ 8 位计数器, 用于检测数据流中 1..256 个连续的 0 或 1
 - ◆ 持续监控每个通道 (8 中串行通道收发器输出)
- 模拟看门狗事件或短路检测事件发生时可产生刹车信号
- 支持极值检测
 - ◆ 自动存储输出数据的最大值和最小值
 - ◆ 软件刷新
- 支持脉冲跳跃功能, 用于波束成形应用 (类似于延迟线)
- 支持 DMA 读取转换数据
- 支持中断: 转换结束、超出限定值、模拟看门狗、短路、通道时钟缺失
- 支持规则与注入转换
 - ◆ 规则转换可随时进行, 甚至在连续模式下也可进行规则转换而不影响注入转换
 - ◆ 注入转换可实现精确时序, 并具有高优先级

2.20 实时时钟(RTC)

RTC 是一组连续运行的计数器, 内置日历时钟模块, 可提供万年历功能, 还具有闹钟中断和周期性中断功能。

主要特性如下:

- 实时时钟 (RTC) 是一个独立的 BCD 定时器/计数器
- 软件支持夏令时补偿
- 可编程周期性自动唤醒定时器

- 两个 32 位寄存器包含时、分、秒、年、月、日（几号）、星期（星期几）
- 独立的 32 位寄存器包含亚秒
- 两个编程闹钟
- 两个 32 位寄存器包含编程闹钟时、分、秒、年、月、日（几号）、星期（星期几）
- 两个独立的 32 位寄存器包含编程闹钟亚秒
- 数字精密校准功能
- 参考时钟检测：一个更加精确的外部时钟源（50 或 60Hz）能够用于改进日历精度
- 三个可配置滤波和内部上拉的入侵检测事件，五个内部入侵检测事件
- 时间戳功能
- 32 个备份寄存器，可在低功耗模式下保持数据
- 多个中断/事件唤醒源，包括闹钟 A、闹钟 B、唤醒定时器、时间戳、入侵
- RCC 寄存器使能 RTC 模块且电压保持在工作范围内，RTC 在任何模式下都不会停止（包括 RUN 模式、SLEEP 模式、STOP0 模式、STOP2 模式、STANDBY 模式和 VBAT 模式）
- RTC 提供多种唤醒源可以使 MCU 从所有的低功耗模式下唤醒（SLEEP 模式，STOP0 模式，STOP2 模式和 STANDBY 模式）

2.21 模拟/数字转换器(ADC)

12 位 ADC 是使用逐次逼近的高速模数转换器。共有 3 个 ADC，ADC1/ADC2 可以组成双 ADC；

ADC1/ADC2/ADC3 可以组成 3ADC。每个 ADC 最多有 20 个复用通道，各个通道的 A/D 转换通道可以在单次、连续、扫描，间断模式下执行。ADC 转换值存储（左对齐/右对齐）在 16 位数据寄存器中。可以通过模拟看门狗 1/2/3 检测输入电压是否在用户定义的高/低阈值内，并且 ADC 的输入时钟的最大频率为 20MHz。

ADC 主要特性描述如下：

- 支持 3 个 ADC，支持单端、差分输入
- 支持 12 位、10 位分辨率
- 支持触发采样，包括 EXTI/TIMER
- 每个 ADC 有 3 个模拟看门狗
- 当 ADC 准备好，采样完成，转换完成或者模拟看门狗 1/2/3 事件可触发中断
- 支持 4 种转换模式
 - ◆ 单次转换
 - ◆ 连续转换
 - ◆ 间断模式
 - ◆ 扫描模式

- 支持自校准
- 带内嵌数据一致性的数据对齐
- 所有通道的采样时间间隔可独立编程
- 可管理单端输入或差分输入（可按通道进行编程）
- ADC 工作时钟来自 PLL 时钟或 AHB 时钟
- 数据可由 DSMU, DMA 管理
- 基于 FIFO 实现规则通道转换
- 启动转换方式
 - ◆ 通过软件来启动规则转换和注入转换
 - ◆ 通过极性可配置的外部触发器（GPIO 输入事件或内部定时器事件）来启动规则转换和注入转换
- 过采样
 - ◆ 可调节的过采样比率 x1, x2, x4, x8, x16, x32, x64, x128, x256, x512, x1024
 - ◆ 数据右移位 0-10 可配置
 - ◆ 16 位的数据结果寄存器
- 数据预处理
 - ◆ 支持增益补偿
 - ◆ 支持偏移补偿
- 多 ADC 模式
 - ◆ 双 ADC 模式：ADC1 和 ADC2 组合
 - ◆ 三 ADC 模式：ADC1、ADC2、ADC3 组合
- ADC 的工作电压在 2.3V 到 3.6V 之间
- ADC 支持转换的电压在 V_{REF-} 和 V_{REF+} 之间

2.22 数字模拟转换(DAC)

DAC 是数字/模拟转换器，主要是数字输入，电压输出。DAC 数据有 8 位或 12 位两种模式，支持 DMA 功能。当 DAC 配置为 12bit 模式时，DAC 数据可以左对齐或者右对齐；当 DAC 配置为 8bit 模式时，DAC 数据可以右对齐。每个 DAC 都有一个独立的转换器，可独立地进行转换。在双 DAC 模式下，每个 DAC 既可以独立进行转换，也可以两个 DAC（DAC1&DAC2, DAC3&DAC4 组成一组）同时进行转换并更新。 V_{REF+} 通过引脚输入作为 DAC 参考电压，使 DAC 的转换数据精确度更高。

当 DAC 输出对内连接到芯片上的外设时，DACx_OUT 引脚可以用作通用输入/输出（GPIO）。可以选择性地启用 DAC 输出缓冲器以获得高驱动输出电流。

主要特性如下：

- 每个 DAC 对应一个独立的 DAC 转换器

- 支持 8 位或 12 位输出，数据在 12 位模式下分右对齐和左对齐两种模式
- 双 DAC 支持同步或者独立转换
- 每个 DAC 均支持 DMA 功能，并支持 DMA 下溢错误检测
- DMA 双数据模式可节省总线带宽
- 噪声波、三角波形、锯齿波生成
- DAC 输出支持与片上外设连接
- 缓冲器偏移校准
- 输入参考电压支持 V_{REF+}
- 外部事件触发转换

2.23 模拟比较器(COMP)

COMP 模块用于比较两个输入模拟电压的大小，并根据比较结果输出高/低电平。当“INP”输入端电压高于“INM”输入端电压时，比较器输出为高电平，当“INP”输入端电压低于“INM”输入端电压时，比较器输出为低电平。

比较器主要功能如下：

- 内置两个 64 级可编程的比较电压参考源 $VREF1$ ， $VREF2$
- 支持滤波时钟，滤波复位
- 输出极性可配置高、低
- 支持 4 个可编程的迟滞等级
- 比较结果可输出到 I/O 端口或触发定时器，用于捕获事件、 $OCREF_CLR$ 事件、刹车事件、产生中断
- 输入通道可复选 I/O 端口、 $VREF1$ 、 $VREF2$ 和通用的 12bit DAC 的通道输出
- 可配只读或读写，在锁定的情况下需要复位才能解锁
- 支持消隐（Blanking），可配置产生 Blanking 的消隐源
- $COMP1/COMP2$ 、 $COMP3/COMP4$ 可以组成窗口比较器
- 可通过产生中断的方式将系统从 Sleep 模式唤醒
- 可配置滤波窗口大小
- 可配置滤波阈值大小
- 可配置用于滤波的采样频率

2.24 电压参考缓冲器（VREFBUF）

该芯片内置了电压参考缓冲器，可用作 ADC、12bit-DAC、COMP 内部 6bit-DAC 的电压参考，也可通过 $VREF+$ 引脚用作外部组件的电压参考。

2.25 定时器和看门狗

支持最多 2 个高级定时器、7 个通用定时器 A、3 个通用定时器 B、4 个基本定时器、2 个低功耗定时器，以及 1 个独立看门狗定时器、1 个窗口看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级定时器、通用定时器、基本定时器和低功耗定时器的功能：

表 2-3 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系数	捕获/比较通道	互补输出
ATIM1~2	16 位	向上， 向下， 向上/下	1~65536 之间的任意整数	4	4
GTIMA1~7	16 位	向上， 向下， 向上/下	1~65536 之间的任意整数	4	没有
GTIMB1~3	16 位	向上， 向下， 向上/下	1~65536 之间的任意整数	4	1
BTIM1~4	32 位	向上	1~65536 之间的任意整数	0	没有
LPTIM1~2	16 位	向上	1、2、4、8、16、32、64、128	0	没有

2.25.1 高级定时器(ATIM1~2)

高级控制定时器（ATIMx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。高级定时器具有互补输出功能、死区插入和刹车功能。适用于电机控制。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 可编程重复计数器
- ATIMx 最多 9 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 2 个支持数字滤波的刹车输入信号
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较

- ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - ◆ 对于 ATIMx，通道 1、2、3、4 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

2.25.2 通用定时器(GTIMA1~7)

通用控制定时器（GTIMAx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- GTIMAx 最多 4 个通道
- 通道工作模式：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制

2.25.3 通用定时器(GTIMB1~3)

通用控制定时器（GTIMBx）主要用于以下场合：对输入信号进行计数、测量输入信号的脉冲宽度和产生输出波形等。通用定时器（GTIMBx）具有互补输出功能、死区插入和刹车功能。

主要特性如下：

- 16 位自动装载计数器。（可实现向上计数、向下计数、向上/下计数）
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）

- 可编程重复计数器
- GTIMBx 最多 5 个通道
- 4 个捕获/比较通道，工作模式为：PWM 输出、输出比较、单脉冲模式输出、输入捕获
- 1 个支持数字滤波的刹车输入信号
- 如下事件发生时产生中断/DMA：
 - ◆ 更新事件
 - ◆ 触发事件
 - ◆ 输入捕获
 - ◆ 输出比较
 - ◆ 刹车信号输入
- 死区时间可编程的互补输出
 - ◆ 对于 GTIMBx，通道 1 支持此功能
- 可通过外部信号控制定时器
- 多个定时器内部连接在一起，以实现定时器的同步或链接
- 增量（正交）编码器接口：用于追踪运行轨迹和解析旋转方位
- 霍尔传感器接口：用于三相电机控制
- 触发输入作为外部时钟或者逐周期电流管理

2.25.4 基础定时器(BTIM1~4)

基本定时器包含一个 32 位自动装载计数器。

主要特性如下：

- 32 位自动重载向上计数计数器。
- 16 位可编程预分频器。（分频系数可配置为 1 到 65536 之间的任意值）
- 产生中断/DMA 的事件如下：
 - ◆ 更新事件

2.25.5 低功耗定时器(LPTIM1~2)

LPTIM 是一个具有多个时钟源的 16 位定时器，它可以在所有功耗模式下保持运行。LPTIM 可以在没有内部时钟源的情况下运行，可以用作“脉冲计数器”。此外，LPTIM 可以将系统从低功耗模式唤醒，以极低的功耗实现“超时功能”。

主要特性如下：

- 16 位向上计数器

- 3bit 预分频，8 种分频因子（1、2、4、8、16、32、64、128）
- 多个时钟源
 - ◆ 内部时钟源：LSE, LSI, HSI, MSI 或者 APB 时钟
 - ◆ 外部时钟源：通过 LPTIM Input1 输入的外部时钟源（工作时无 LP 振荡器运行，用于脉冲计数器应用）
- 16 bit 自动装载寄存器（LPTIM_ARR）
- 16 bit 比较寄存器（LPTIM_CMP）
- 连续或单触发计数模式
- 可编程软件或硬件输入触发
- 用于过滤毛刺的可编程数字滤波器
- 可配置输出（PWM）
- 可配置 IO 极性
- 编码器模式
- 脉冲计数模式，支持单脉冲计数、双脉冲计数（正交和非正交）

2.25.6 看门狗定时器(WDG)

内置独立看门狗（IWDG）和窗口看门狗（WWDG）定时器，解决软件错误导致的问题。看门狗定时器使用非常灵活，提高了系统的安全性和定时控制的准确性。

独立看门狗（IWDG）

独立看门狗（IWDG）由运行在 32KHz 的低速内部时钟（LSI 时钟）驱动，在死循环事件或 MCU 卡死发生时，它仍然可以运行。这可以提供更高的安全级别、定时精度和看门狗的灵活性。它可以通过重置来解决由于软件故障引起的系统故障。IWDG 最适合需要看门狗在主应用程序之外作为完全独立进程运行但时序精度限制较低的应用程序。

主要特性如下：

- 独立的 12 位递减计数器
- RC 振荡器提供独立的时钟源，可以工作在 SLEEP、STOP0 和 STANDBY 模式
- 可以匹配复位和低功耗唤醒
- 当递减计数器达到 0x000 时，系统复位（如果激活了看门狗）

窗口看门狗（WWDG）

窗口看门狗（WWDG）的时钟是 APB1 时钟频率除以 4096 得到的，通过时间窗口的配置来检测程序运行是否异常。因此，WWDG 适用于精确定时，常用于监控因外部干扰或无法预见的逻辑条件导致应用程序偏离其正常操作顺序的软件故障。

主要特性如下：

- 14 位独立递减计数器可编程
- WWDG 启用后，在以下情况下会发生复位
 - ◆ 递减计数器的值小于 0x40
 - ◆ 当递减后的计数器值大于窗口寄存器的值时，重新加载
- 提前唤醒中断

2.26 I²C 总线接口

I²C(inter-integrated circuit)总线是一种广泛应用的总线结构，它只有两根双向线，即数据总线 SDA 和时钟总线 SCL，通过这两根线，所有与 I²C 总线兼容的设备都可以通过 I²C 总线彼此直接通信。

I2C 总线接口处理微控制器与串行 I2C 总线间的通信。它提供多主模式功能，可以控制所有 I2C 总线特定的序列、协议、仲裁和时序。它支持标准模式 (Sm)、快速模式 (Fm) 和超快速模式 (Fm+)。

它还与 SMBus（系统管理总线）和 PMBus（电源管理总线）兼容。I²C 接口模块也支持 DMA 模式，可有效减轻 CPU 的负担。

I2C 接口的主要特性描述如下：

- I2C 总线规范第 3 版兼容性：
 - ◆ 从模式和主模式
 - ◆ 多主模式功能
 - ◆ 标准模式（最高 100 kHz）/快速模式（最高 400 kHz）
 - ◆ 快速模式增强版（高达 1 MHz）/高速模式（高达 3.4 MHz）
 - ◆ 7 位和 10 位寻址模式
 - ◆ 多个 7 位从站地址（2 个从设备地址寄存器，1 个带可配置的掩码位段）
 - ◆ 所有 7 位地址应答模式
 - ◆ 广播呼叫
 - ◆ 总线上的数据建立和保持时间可软件配置
 - ◆ 中断和时钟拉伸
- SMBus 规范 3.0 版兼容性：
 - ◆ 带 ACK 控制的硬件 CRC（数据包错误检查）生成和验证
 - ◆ 命令和数据确认控制
 - ◆ 支持地址解析协议 (ARP)

- ◆ 主机和设备支持
- ◆ SMBus 警报
- ◆ 超时和空闲状态检测

■ PMBus rev 1.3 标准

其他功能:

- 可编程高达 8 字节的缓冲区/带 DMA 的突发缓冲区
- 可编程模拟和数字噪声滤波器
- 独立时钟源, 使 I2C 通信速度不受 i2c_pclk 重新编程的影响

2.27 灵活的外部存储控制器 (FEMC)

灵活的外部存储控制器 (FEMC) 用来访问各种片外存储器, 可根据应用需要, 方便地进行不同类型大容量静态存储器的扩展, 能够在不增加外部接口的情况下同时扩展多种不同类型的静态存储器。所有的外部存储器共享 FEMC 控制器输出的地址、数据和控制信号, FEMC 通过一个唯一的片选信号来区分不同的外部设备。

主要特性如下:

- 支持外扩以下器件:
 - ◆ SRAM
 - ◆ PSRAM
 - ◆ ROM
 - ◆ NOR Flash
 - ◆ NAND Flash (SLC)
 - ◆ LCD (8080/6800)
- 支持两个 NAND 闪存块, 硬件 1bit-ECC 可检测多达 2K 字节数据
- 支持对同步器件的成组 (Burst) 访问模式, 如 NOR 闪存和 PSRAM
- 支持 8/16/32 位数据总线
- 每一个存储器块都有独立的片选控制
- 通过时序编程可以支持各种不同的器件
- 根据外部存储器的数据宽度, 自动将 64 位 AXI 访问请求转换为连续的 32 位或 16 位或 8 位访问请求, 以便与外部 32 位或 16 位或 8 位存储器件通信。
- PSRAM 和 SRAM 器件支持写使能和字节选择输出
- 外部异步等待控制。
- 支持低功耗管理

2.28 通用同步异步收发器(USART)

通用同步异步收发器（USART）是一种全双工串行数据交换接口，支持同步或异步通信。可灵活配置，以便于与多种外部设备进行全双工数据交换。

USART 接口发送与接收波特率可配置，也支持通过 DMA 进行连续通信。USART 还支持多处理器通信、LIN 模式、同步模式、单线半双工通信、智能卡异步协议、IrDA SIR ENDEC 功能以及硬件流控制功能。

主要特性如下：

- 支持全双工,异步通信
- 支持单线半双工通信
- 波特率可配置，最高波特率可达 37.5Mbit/s
- 支持 8 倍或 16 倍过采样
- 支持 8bit 或 9bit 数据帧
- 支持两个用于收发数据的内部 FIFO
- 支持 1bit 或 2bit 停止位
- 支持硬件生成校验位及校验位检查
- 支持硬件流控: RTS、CTS
- 支持 RS-485
- 支持 DMA 收发
- 支持多处理器通信：如果地址不匹配，则进入静默模式, 可通过空闲总线检测或地址标识唤醒
- 支持同步模式，允许用户在主模式下控制双向同步串行通信
- 支持智能卡异步协议，符合 ISO7816-3 标准
- 支持串行红外协议（IrDA SIR）编码与解码，提供正常与低功耗两种运行模式
- 支持 LIN 模式
- 支持多种错误检测：数据溢出错误、帧错误、噪声错误、检验错误
- 支持多个中断请求：发送数据寄存器为空、CTS 标志、发送完成、数据已接收、数据溢出、总线空闲、检验错误、LIN 模式断开帧检测以及多缓冲区通信中的噪声标志/溢出错误/帧错误

模式配置：

通信模式	USART1~USART5	UART9~UART13
异步模式	Y	Y
多处理器	Y	Y
LIN	Y	Y
同步模式	Y	N
单线模式（半双工）	Y	Y
智能卡模式	Y	N
IrDA 红外模式	Y	Y

DMA 通讯模式	Y	Y
硬件流控模式	Y	Y

Y = 支持该模式，N = 不支持该模式

2.29 低功耗通用异步接收器(LPUART)

低功耗通用异步接收发送器 (LPUART) 是一种低功耗、全双工、异步串行通信接口。LPUART 可以由 LSE、HSE、HSI、MSI、SYSCLK 和 PCLK 提供时钟。当选择 32.768kHz LSE 作为时钟源时，LPUART 可以工作在 STOP0/2 低功耗模式，最大通信速率可达 9600bps。LPUART 支持接收数据唤醒。通过配置唤醒事件，可以唤醒处于 STOP0/2 模式的 CPU。

同时，当 MCU 工作在 RUN 模式时，LPUART 也可以作为普通的异步串口使用。用户可以将时钟源切换为 HSI、SYSCLK 和 PCLK 以获得更高的通信速度。

LPUART 主要特性如下：

- 全双工异步通信
- 可选择 HSI、HSE、LSE、MSI、SYSCLK 或 PCLK 时钟源
- 小数波特率发生器系统：发送和接收共享的可编程波特率高达 5Mbits/s；使用 32.768 kHz 时钟源 (LSE) 时，波特率从 300bps 到 9600bps
- 固定 8 位数据字长，1 个停止位和可选 1 个奇偶校验位
- 支持 DMA 数据传输
- 支持硬件流控
- 传输检测标志：接收缓冲区满、接收缓冲区半满、接收缓冲区非空、接收缓冲区溢出、传输完成、发送缓冲区满、发送缓冲区半满、发送缓冲区非空
- 奇偶校验控制：奇偶校验选择，奇偶校验可禁用
- 错误检测标志：奇偶校验错误、溢出错误、噪声错误
- 32 字节接收缓冲区，8 字节发送缓冲区
- 低频波特率纠错
- 可配置 1 或 3 个样本的采样方法
- 噪声检测
- 可配置的流量控制 RTS 阈值
- 支持 STOP0/2 模式可配置源模式：起始位检测、接收缓冲区非空检测、一个可配置的接收字节（1~32 字节）和可编程 8 字节帧

2.30 数据波特率可变的控制器局域网（FDCAN）

FDCAN 模块符合 ISO 11898-1:2015 标准，支持 CAN 2.0A/B 与 CAN FD 协议，兼容非 ISO 标准的 Bosch 协议。

此外，CAN 模块 FDCAN1&2&3&4 还支持 ISO 11898-4 中规定的时间触发 CAN(TTCAN)，包括事件同步时间触发通信、全球系统时间和时钟漂移补偿。FDCAN1&2&3&4 包含时间触发功能专用的附加寄存器。CANFD 可选与事件触发和时间触发 CAN 通信一起使用。

FDCAN 模块共享 2 个消息 RAM 区域，每个 FDCAN 可自由选择 SRAM5 BANK1 或 SRAM5 BANK2，用于接收消息过滤器、接收 FIFO、接收缓冲区、发送缓冲区、发送事件 FIFO（以及 TTCAN 触发器）。消息 RAM 位于 MCU 内部 SRAM 中，起始地址可配置，单个 FDCAN 最大可分配 4480 字（32bit）。

主要特性如下：

- 符合 ISO 11898-1:2015 和 ISO 11898-4 标准
- 支持 CAN FD，最多 64 字节数据
- 支持完全通过硬件实现的 TTCAN 1 级和 2 级（仅支持 FDCAN1/2/3/4）
- 支持 CAN 错误日志记录
- 支持 AUTOSAR 标准
- 支持 SAE J1939 标准
- 增强的接收过滤器功能
- 两个可配置的接收 FIFO
- 接收高优先级消息时单独发出信号指示
- 最多 64 个专用接收缓冲区
- 最多 32 个专用发送缓冲区
- 可配置的发送 FIFO 或队列
- 可配置的发送事件 FIFO
- 支持可配置的消息 RAM，8 个 FDCAN 控制器共享
- 可编程的环回测试模式
- 可屏蔽的模块中断
- 两个时钟域：CAN 内核时钟和 APB 总线时钟
- 支持掉电模式

2.31 串行外设接口/内置音频总线（SPI/I2S）

SPI 允许芯片与外部设备以半/全双工、同步、串行方式通信。SPI 可以被配置成主模式和多主模式，并为外部从设备提供通信时钟(SCK)。可用于多种用途，包括使用一条双向数据线的双线单工同步传输，还支持硬件 CRC 校验。

I2S 也是一种同步串行接口通讯协议。它支持四种音频标准，包括飞利浦 I2S 标准，MSB 和 LSB 对齐标准，以及 PCM 标准。它在半双工通讯中，可以工作在主和从 2 种模式下。当它作为主设备时，能通过接口向外部的从设备提供时钟信号。

SPI 接口的主要功能如下：

- 全双工和单工同步模式
- 支持主模式、从模式和多主模式
- 支持 8bit 或 16bit 数据帧格式
- 数据位顺序可编程
- 硬件或软件片选管理
- 时钟极性和时钟相位可配置
- 发送和接收支持硬件 CRC 计算及校验
- 支持 DMA 传输功能
- 接收/发送 FIFO 8 字节
- I2S 接口的主要功能如下：
 - 半双工和全双工同步模式
 - 支持主模式和从模式操作
 - 4 种音频标准可以支持：飞利浦 I²S 标准、MSB 对齐标准、LSB 对齐标准和 PCM 标准
 - 音频采样频率可配置，范围从 8KHz 到 192KHz
 - 稳态时钟极性可配置
 - 数据方向 MSB
 - 支持 DMA 传输功能
 - 支持多种时钟源可选

2.32 多线串行外设接口（xSPI）

xSPI 是用于单/双/四/八线 SPI 外设通信的接口。可以在间接和内存映射 2 种模式下工作。

支持间接模式：使用 xSPI 寄存器执行所有操作；内存映射模式：外部闪存映射至微控制器地址空间，系统将其视为内部存储空间。

主要特性如下：

- 数据通信支持单/双/四/八线模式
- 支持 Single SPI/Normal SPI、DUAL SPI、QUAD SPI、Dual-QUAD、OCTAL SPI 模式
- 最大传输速率可达 133M

- 支持Motorola SPI:
 - ◆ Standard/Dual/Quad/Octal SPI
- 支持单倍数据速率 (SDR) 和双倍数据速率 (DDR) 模式
- 读取数据选通, 数据掩码支持DDR传输
- 支持时钟延长
- 在间接模式和内存映射模式下, 帧格式与操作码可软件配置
- 集成 FIFO 用于发送和接收
- 允许 8/16/32 位数据访问
- 专用32x32bit TX FIFO和32x32bit RX FIFO
- 支持DMA
- XIP模式支持SPI读, 不支持XIP写
 - ◆ 支持连续传输模式
 - ◆ 支持数据预取
- 支持XSPI外设执行代码自动解密, 即XSPI外设代码密文存储, 执行代码时读取密文自动解密为明文CPU执行, 不影响对外设存储的访问速度, 解密可软件控制使能/禁能, 根密钥存放于NVR区, 用户不可访问
- 支持串行NAND FLASH、NOR FLASH和PSRAM
- 主机模式支持4个对外片选输出控制, 从机模式支持1个片选输入, 主机模式下所有复用为片选输出的IO, 从机模式下都可复用为片选输入

支持多主仲裁功能

2.33 通用串行总线高速双角色接口(USB_HS_DualRole)

USB 高速双角色接口 (USB HS Dual Role), 以下称 USBHS。USBHS 控制器旨在提供高速数据传输和连接外部设备的标准接口。USBHS 支持 Host 模式和 Device 模式, USBHS 包含了一个内部的 USB 高速 PHY, 可以配置成高速、全速, 不再需要外部 PHY 芯片。USBHS 可以支持 USB 2.0 协议所定义的所有四种传输方式 (控制传输、批量传输、中断传输和同步传输)。另外, 在 USBHS 内部还有一个 DMA, 可作为 AHB 总线主机在 USBHS 和系统之间加速数据传输。

主要特性如下:

- 支持 USB 2.0 高速 (480Mb/s) /全速 (12Mb/s) /低速 (1.5Mb/s) Host 模式
- 支持 USB 2.0 高速 (480Mb/s) /全速 (12Mb/s) Device 模式
- 支持所有的 4 种传输方式: 控制传输、批量传输、中断传输和同步传输;
- USBHS 内置高速 PHY, 支持高速, 全速和低速, 无需外接 PHY
- 支持 HS SOF, FS SOF 和 LS Keep-alive 令牌
- SOF 脉冲可通过 PAD 输出

- SOF 脉冲通过内部连接到定时器 (TIMx)
 - 支持 A-B 器件识别 (ID 线)
 - USBHS 内嵌 DMA, 并可软件配置 AHB 的批量传输类型
 - 具有省电功能, 例如在 USB 挂起期间停止系统、关闭数字模块时钟、对 PHY 和 DFIFO 电源加以管理
 - 具有 4 KB 专用 RAM
 - Host 模式下包含 16 个主机通道, 每个通道都支持任何类型的 USB 传输
 - Host 模式下内置硬件调度器:
 - 在周期性硬件队列中存储多达 16 个中断加同步传输请求
 - 在非周期性硬件队列中存储多达 16 个控制加批量传输请求
 - Host 模式下包含一个 RX FIFO、一个周期性传输 TX FIFO 和一个非周期性传输 TX FIFO
 - Device 模式下包含 1 个双向控制端点 0, 还包含 8 个 IN 端点和 8 个 OUT 端点, IN 端点和 OUT 端点均可配置为批量传输、中断传输或同步传输
 - Device 模式包含一个共享 RX FIFO 和一个 TX-OUT FIFO, 还包含 9 个专用 TX-IN FIFO
- 支持软断开功能

2.34 安全数字多媒体卡(SDMMC)

SDMMC 为 SD 存储卡、SDIO 卡和 MMC 设备提供主机接口, 一次只支持一个协议栈版本的 SD/SDIO/MMC 卡。

总线通信的基本传输是命令/响应, 这些类型的总线传输直接在命令或响应结构中传输信息, 数据传输包括块模式、SDIO 多字节模式和 MMC 连续数据流模式。

主要特性:

- 兼容 SD 主控制器标准规范 V3.00
- 兼容 SD 物理层接口规范 V3.00
- 兼容 SDIO 标准规范 V3.00
- 兼容 eMMC 标准规范 V4.51
- 支持 1 位/4 位 SD 卡和 SDIO 模式
- 支持 UHS-I 接口, 当外部设备采用 1.8V 供电时需要电平转换
- 支持 DS、HS、SDR12、SDR25、SDR50、DDR50 和 SDR104 传输模式
- 支持 1 位、4 位和 8 位 MMC 模式和 BOOT 模式
- 支持单块/多块读写
- SD&SDIO 模式支持最大 512 字节的块大小, eMMC 模式支持最大 2048 字节的块大小
- EMMC 最大时钟频率 200MHz (受限于最大 I/O 频率), 最大传输速率高达 1.6Gbps (HS200 模式, 8 位)
- 完全可配置的 2048*2 字节读写 FIFO

- 支持内部专用 DMA 功能

2.35 数字摄像头接口（DVP）

DVP 是一个灵活、强大的 CMOS 光学传感器接口，可以非常方便地实现客户的图像采集需求。使用 100MHz 像素时钟，摄像头接口的数据传输率可达 200 Mbyte/s。

主要特性如下：

- 支持 8 位、10 位、12 位和 16 位的传统同步并行接口。
- 支持 8 位和 10 位的 ITU-R BT.656 视频格式。
- 支持 8 位和 16 位的 YCbCr、YUV 和 RGB 数据格式。
- 支持 8 位、10 位和 16 位的 Bayer 数据格式。
- 支持时钟输出（通过 MCO 输出，典型值 48MHz），给外部 CMOS 光学传感器提供时钟。
- 输入像素时钟 DVP_PCLK、场同步信号 DVP_VSYNC、行同步信号 DVP_HSYNC 极性均可独立配置。
- 具有 320 x 8 字节 FIFO 接收像素数据。
- 支持 FIFO 溢出保护。
- 支持对采集的图像数据硬件取反。
- 支持连续模式和快照模式。
- 支持硬件裁剪。
- 支持多种数据格式：
 - YCbCr422 渐进式视频。
 - RGB565 渐进式视频。
 - 压缩数据(JPEG)。

2.36 LCD 控制器（LCDC）

LCD 控制器提供 24 位并行数字 RGB 以及水平同步、垂直同步、像素时钟和数据使能信号，这些信号直接输出到 LCD 面板的接口。

主要特性如下：

- 24 位 RGB 并行输出（RGB888）。
- 查色表（CLUT），每个图层最高 256 种颜色（256 x 24 bit）。
- 支持如下像素格式，也支持用户自定义格式。
 - ◆ ARGB8888。
 - ◆ ABGR8888。
 - ◆ RGBA8888。
 - ◆ BGRA8888。

- ◆ RGB565。
- ◆ BGR565。
- ◆ RGB888。
- 每个通道的低位采用伪随机抖动。
 - 红色、绿色、蓝色的抖动宽度为 2bit。
- 使用 alpha 值在两层之间灵活混合。
- 色键。
- 窗口位置和大小可编程。
- Gamma 校正。
- 缩放功能。
- 水平镜像和垂直翻转。
- 双视图

2.37 以太网（ETH）

以太网模块使用专用 DMA 来优化数据包的收发性能。ETH 模块支持与物理层（PHY）通信的标准接口：MII、RMII，以实现以太网数据包的发送和接收。

主要特性如下：

MAC Tx 和 Rx 通用特性

- 为应用提供独立的传输、接收和控制接口
- 支持以下 PHY 接口实现 10/100/1000Mbps 数据传输速率：
 - MII，用于与外部快速以太网 PHY 通信
 - RMII，用于与外部快速以太网 PHY 通信
- 半双工操作：
 - 支持 CSMA/CD 协议
 - 支持背压流量控制
- 应用端 32 位数据传输接口
- 全双工流控操作（IEEE 802.3x 暂停数据包和优先级流量控制）
- 支持通过 RMON 或 MIB 计数器（RFC2819/RFC2665）进行强制网络统计
- IEEE 1588-2002 和 IEEE 1588-2008 中描述的以太网数据包时间戳（在 PTP 数据包的 Tx 或 Rx 状态中给出 64 位时间戳），TX 方向上支持一步和两步时间戳
- 支持灵活控制秒脉冲输出（PPS）
- 支持用于配置和管理 PHY 器件的 MDIO（Clause 22 和 Clause 45）主接口

MAC Tx 特性

- 发送路径上插入前导码和 SFD
- 为应用程序传输的每个数据包提供单独的 32 位状态
- 基于每个数据包自动生成 CRC 和填充字节 (PAD)
- 可编程数据包长度, 以支持标准以太网数据包或高达 16KB 的巨型以太网数据包
- 可编程数据包间隙 (40~96 位, 步进长度为 8)
- IEEE 802.3x 流量控制会在流控输入从有效到无效的转换时自动传输零等待暂停数据包 (全双工模式下)
- 源地址字段插入或替换, 以及发送数据包中的 VLAN 插入、替换和删除 (按数据包控制或采用静态-全局控制)
- 最多可插入、替换或删除两个 VLAN 标签
- 在全双工模式下, 以较小的前导码大小传输数据包
- 支持插入、替换或删除基于队列/通道的 VLAN 标签

MAC Rx 特性

- 接收路径上自动剥离 PAD 和 CRC
- 接收路径上删除前导码和 SFD
- 可编程看门狗超时限制
- 灵活的地址过滤:
 - 4 个 48 位完美目的地址 (DA) 过滤器, 每个字节都有掩码
 - 4 个 48 位源地址 (SA) 比较检查过滤器, 每个字节都有掩码
 - 64 位哈希过滤器 (Hash), 适用于多播和单播 (DA) 地址
 - 支持传送所有多播地址数据包
 - 支持混合模式, 不进行过滤, 直接传送所有数据包, 用于网络监控
 - 传送所有传入数据包时 (每次过滤时) 均附有一份状态报告
- 附加的数据包过滤:
 - 基于 VLAN 标签: 完美匹配和哈希过滤 (基于外部或内部 VLAN 标签进行过滤)
 - 基于第 3 层和第 4 层: 基于 IPv4/IPv6 的 TCP/UDP
- 支持 IEEE 802.1Q VLAN 标签检测和删除接收数据包中的 VLAN 标签
- 检测远程唤醒包和 AMD 魔术包
- 转发接收的暂停数据包至应用程序 (全双工模式下)
- 已接收数据包的第 3 层/第 4 层校验和减荷

MTL Tx 和 Rx 通用特性

- 32 位事务层模块 (连接应用程序和 MAC)
- 使用简单的 FIFO 协议执行数据传输

- 使用包分隔符优化面向数据包的传输
- 基于异步 FIFO 控制器的双端口 RAM
- 可编程突发（burst）长度，可达 MTL Rx 队列或 Tx 队列大小的一半，以支持 MTL 配置中的突发数据传输
- 每个队列具备可编程阈值能力（阈值默认 64 字节）

MTL Tx 特性

- 2KB 具有可编程阈值能力的发送 FIFO
- 发送路径上支持一个队列
- 存储转发模式或阈值模式（直通模式）
- 半双工模式下自动重传冲突报文
- 延迟冲突、过度冲突、过度延迟和欠载（underrun）时丢弃数据包
- 计算和插入 IPv4 报头校验和，以及 TCP、UDP 或 ICMP 校验和
- 通过为发送 FIFO 中丢弃的数据包（由于下溢）生成脉冲来进行统计
- 数据包级的控制：
 - VLAN 标签插入或替换
 - 以太网源地址段插入
 - 第 3 层/第 4 层检验和插入控制
 - 一步时间戳
 - 时间戳控制
 - CRC 和 PAD 控制

MTL Rx 特性

- 2KB 具有可配置阈值的接收 FIFO
- 接收路径上支持一个队列
- 在 EOP/EOF 之后（阈值模式）和 SOP/SOF 之前，将 Rx 状态向量插入 Rx 队列
- 阈值模式（直通模式）下，可编程 Rx 队列阈值（默认固定 64 字节）
- 存储转发模式下，可以在接收时过滤所有错误数据包并且不将其转发至应用程序
- 支持转发矮小（长度不足）无误的数据包
- 通过为接收 FIFO 中丢失的数据包（由于溢出）生成脉冲来进行统计
- 根据 Rx 队列的填充级别自动生成暂定数据包控制信号或背压信号到 MAC

DMA 特性

- 32 位数据传输
- 发送路径和接收路径中分别具有单独的 DMA
- 以数据包分隔符优化面向数据包的 DMA 传输

- 支持以字节对齐的方式对数据缓存区寻址
- 支持双缓冲区（环形）描述符
- 描述符架构允许在最少 CPU 干预的情况下传输大数据块（每个描述符可传输多达 32K 字节的数据）
- 全面报告正常运行和传输错误的状态
- Tx DMA 和 Rx DMA 引擎的突发长度可单独编程，以优化主机总线利用率
- 可编程多种不同操作条件下所对应的中断
- 基于数据包的发送或接收完成中断控制
- 接收和发送引擎之间支持轮询或固定优先级仲裁
- 启动和停止模式
- 用于主机 CSR（控制状态寄存器）访问和主机数据接口的独立端口
- 支持 TCP 分段减荷（TSO）

AHB 主接口特性

- 32 位数据，用于应用数据的访问
- 小端模式
- 软件选择 AHB 突发类型（固定突发、不确定突发或两者混合突发）

AHB 从接口特性

- 32 位数据，用于 CSR 的访问
- 小端模式
- 支持所有突发类型

监控、测试和调试特性

- MII 接口下 Loopback 模式，用于调试
- DMA 状态（Tx 和 Rx）作为状态位
- 调试状态寄存器，给出发送和接收路径中 FSM 的状态和 FIFO 填充级别
- 应用程序中止状态位
- MMC（RMON）模块
- 当前 Tx 或 Rx 缓冲区指针作为状态寄存器
- 当前 Tx 或 Rx 描述符指针作为状态寄存器

可通过从端口访问 Tx 或 Rx 队列内存，用于调试

2.38 循环冗余校验计算单元（CRC）

CRC 计算单元可根据指定生成多项式，在 8 位、16 位或 32 位输入数据中生成 CRC 计算结果。在其他应用中，基于 CRC 的技术用于验证数据传输或存储完整性。在功能安全标准的范围内，它们提供了一种验证闪存完整性的方法。CRC 计算单元有助于在运行时计算软件的签名，以便与链接时生成并存储在给定内存位置的参考签名进行比较。

主要特性如下：

- 默认使用 CRC-32 (Ethernet)生成多项式：0x4C11DB7
 - ◆ $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 支持用户自定义生成多项式，且多项式大小可配置：7 位、8 位、16 位或 32 位
- 可处理 8 位、16 位或 32 位输入数据
- CRC 初值可配置
- 单个输入或输出数据寄存器
- 内置输入缓冲，以避免计算时总线停顿
- 32 位数据 CRC 计算可在 4 个 AHB 时钟周期（HCLK）完成
- 支持通用 32 位寄存器（可用于临时数据存储）
- 输入输出数据位序可配置
- 支持输入输出数据与指定数据（可配置）进行异或操作

2.39 安全数据处理单元（SDPU）

SDPU 将 SAC 和 SDMA 模块结合在一起，SAC 包括 AES、DES、SM4、SHA 和 RNGC（熵后处理）算法。

SDMA 将计算数据从 SRAM 传输到 SAC，并将计算结果从 SAC 传输到 SRAM。

SDPU 主要特性：

- 支持 DES 对称算法
 - 支持 DES 和 3DES 加解密运算
 - TDES 支持 2KEY 和 3KEY 模式
 - 支持 CBC 和 ECB 模式
- 支持 AES 对称算法
 - 支持 128bit/192bit/256bit 密钥长度
 - 支持 CBC、ECB、CTR 模式
- 支持 SM4 对称算法
 - 支持 CBC、ECB 模式
- 支持 SHA 杂凑算法
 - 支持 SHA1/SHA224/SHA256/SHA384/SHA512

- 支持随机数（RNG）
 - 支持真随机数（TRNG）和伪随机数（PRNG）模式
 - 支持 LSFR129 后处理
 - 支持 XOR 合并所有源
 - 支持 FIPS-140 CAVP
- 支持 RNG 和其他算法同时运行
- 支持 FIFO 配置
 - 支持通过 FIFO 配置算法数据
- 支持 SDMA 数据传输
 - 支持通过 AHB 接口将数据作为主数据从 SRAM 自动传输到 SRAM
 - 支持通过参数传输 SRAM 基地址
 - 支持最大数据传输大小 4KB (1024words)
 - 支持数据传输数据大小检查
 - 支持 CRC16 校验
 - SRAM 最大支持 2MB（512K words）
 - 在源/目标地址偏移=1/2/3 的情况下支持数据重新连接

2.40 调试接口（DBG）

内嵌 ARM 的 SWJ-DP 接口，使软件开发人员能够使用行业标准调试工具，通过 JTAG 或串行单线调试访问端口对嵌入式固件进行调试和跟踪。可通过跟踪端口捕获跟踪数据，进行记录和分析。

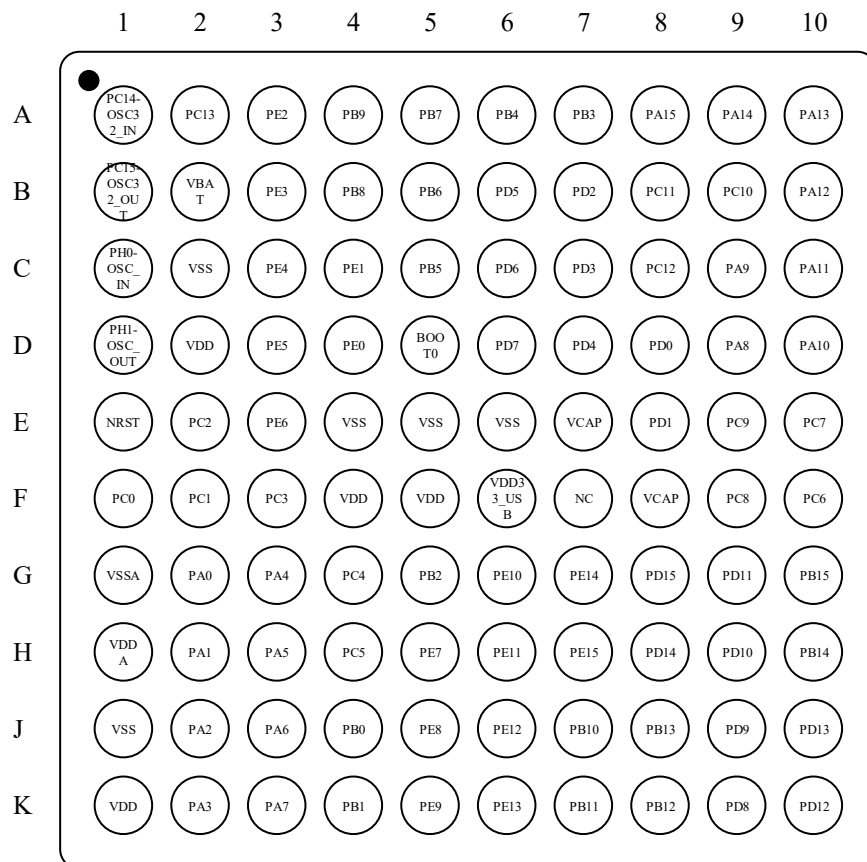
DBG 主要特性：

- 断点调试
- 代码执行跟踪
- 软件指令
- JTAG 调试端口
- 串行线调试端口
- 触发器输入和输出
- 串行线跟踪端口
- 同步跟踪端口
- 低功耗模式下的调试和跟踪

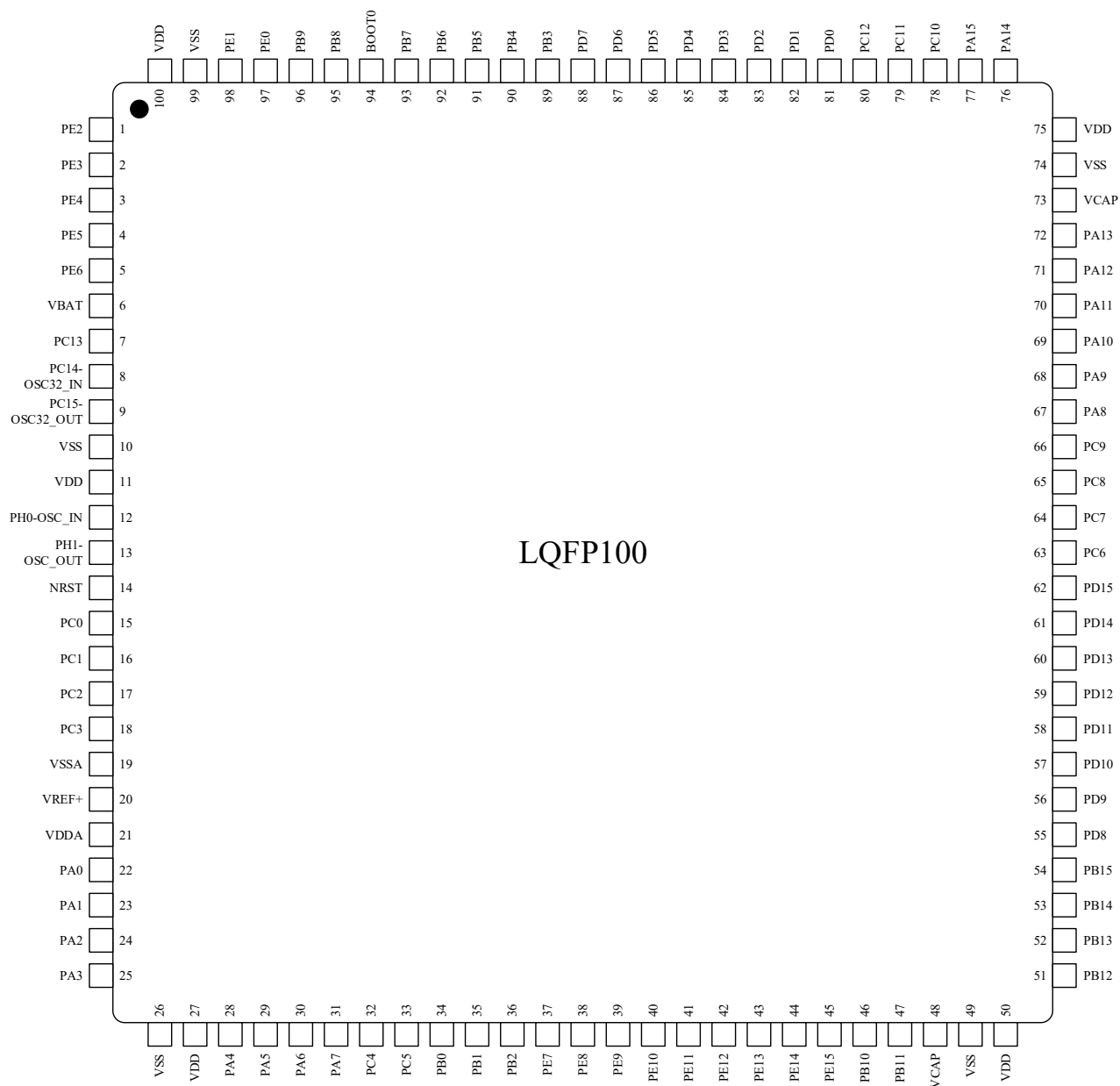
3 引脚定义和描述

3.1 封装示意图

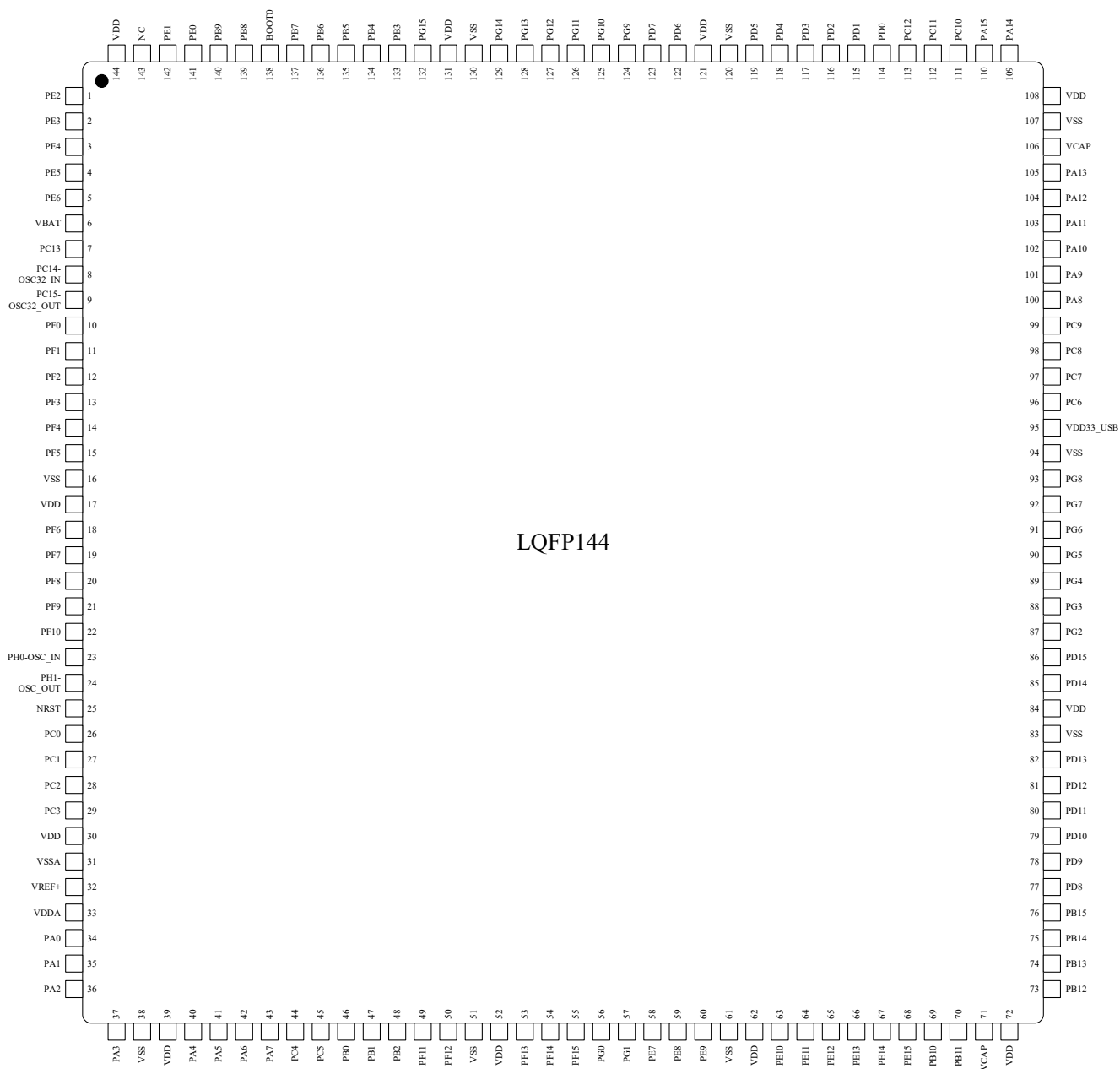
3.1.1 BGA100引脚分布



3.1.2 LQFP100引脚分布



3.1.3 LQFP144引脚分布



3.2 引脚复用定义

注：以下IO 定义的是该管脚上支持的全部功能，实际的外设资源支持，请参考1.1 章节。

表 3-1 管脚定义

封装			管脚名称	类型 ⁽¹⁾	I/O 结构 ⁽²⁾	Fail-safe ⁽³⁾ 支持	可选的复用功能	
LQFP144	BGA100	LQFP100					默认	重定义
1	A3	1	PE2	IO	TT	Yes	TRACECLK SPI6_SCK ETH1_MII_TXD3/ETH1_GMII_TXD3 GTIMB1_ETR DVP2_D0 FEMC_A23 USART5_RX FDCAN4_TX	-
2	B3	2	PE3	IO	TT	Yes	TRACED0 ETH1_MII_TXD2/ETH1_GMII_TXD2 GTIMB1_BRK DVP2_D1 FEMC_A19 USART5_TX FDCAN4_RX	-
3	C3	3	PE4	IO	FT	Yes	TRACED1 SPI6_NSS ETH2_PHY_INTN GTIMB1_CH1N DVP1_D4 LCD_B0 FEMC_A20 USART6_RX DSMU_DATIN3	-
4	D3	4	PE5	IO	TT	Yes	TRACED2 SPI6_MISO xSPI2_NCS1 GTIMB1_CH1P DVP1_D6 LCD_G0 FEMC_A21 USART6_TX DSMU_CKIN3	-
5	E3	5	PE6	IO	FT	Yes	TRACED3 SPI6_MOSI ATIM1_BKIN2 GTIMB1_CH2 DVP1_D7 LCD_G1 FEMC_A22	-
6	B2	6	VBAT	S	-	-	VBAT	-
7	A2	7	PC13	IO	FT	Yes	RTC_OUT1 RTC_TAMP1 RTC_TS PWR_WKUP3	-

8	A1	8	PC14-OSC32_IN	IO	FT	Yes	PC14-OSC32_IN	-
9	B1	9	PC15-OSC32_OUT	IO	FT	Yes	PC15-OSC32_OUT	-
-	-	10	VSS	S	-	-	-	-
-	-	11	VDD	S	-	-	-	-
10	-	-	PF0	IO	TT	Yes	xSPI2_IO0 ETH1_GMII_TXD4 GTIMA1_CH1 GTIMA5_CH1 DVP2_D0 FEMC_A0 SDRAM_A0 USART1_TX FDCAN4_TX I2C2_SDA I2C5_SDA	COMP3_OUT
11	-	-	PF1	IO	TT	Yes	xSPI2_IO1 ETH1_GMII_TXD5 GTIMA1_CH2 GTIMA5_CH2 DVP2_D1 FEMC_A1 SDRAM_A1 USART1_RX FDCAN4_RX I2C2_SCL I2C5_SCL SDRAM_D5	COMP3_INM
12	-	-	PF2	IO	TT	Yes	SPI6_NSS xSPI2_IO2 ETH1_GMII_TXD6 GTIMA1_CH3 GTIMA5_CH3 GTIMB2_ETR DVP2_D2 FEMC_A2 SDRAM_A2 USART1_CK I2C2_SMBA I2C5_SMBA	COMP3_INP
13	-	-	PF3	IO	TT	Yes	SPI6_SCK xSPI2_IO3 ETH1_GMII_TXD7 GTIMA1_CH4 GTIMA5_CH4 GTIMB2_CH4 DVP2_D3 FEMC_A3 SDRAM_A3 USART1_CTS/USART1_NSS I2C6_SDA	ADC3_INP5 COMP1_INM
14	-	-	PF4	IO	TT	Yes	SPI6_MISO xSPI2_CLK/xSPI2_CLKIN ETH2_MII_RX_CLK/ETH2_RMII_REF_CLK GTIMA1_ETR GTIMB2_CH3 DVP2_D4 FEMC_A4 SDRAM_A4	ADC3_INN5 ADC3_INP9

							USART1_DE/USART1_RTS FDCAN5_TX I2C6_SCL SDRAM_D4	
15	-	-	PF5	IO	TT	Yes	SPI6_MOSI xSPI2_NCLK ETH1_GMII_GTX_CLK ATIM3_BKIN1 GTIMB2_CH2 DVP2_D5 FEMC_A5 SDRAM_A5 FDCAN5_RX I2C6_SMBA	ADC3_INP4 COMP1_INP
16	-	-	VSS	S	-	-	-	-
17	-	-	VDD	S	-	-	-	-
18	-	-	PF6	IO	TT	Yes	SPI5_NSS xSPI2_IO3 ETH2_MDIO ATIM3_ETR ATIM4_ETR GTIMA5_CH1 GTIMB2_CH1P DVP1_PIXCLK DVP2_D5 UART11_RX FDCAN3_RX	ADC3_INN4 ADC3_INP8 COMP2_INM
19	-	-	PF7	IO	TT	Yes	SPI5_SCK xSPI2_IO2 ETH2_MDC ATIM3_CH4 ATIM4_CH3 GTIMA5_CH2 GTIMB3_CH1P DVP2_PIXCLK UART11_TX FDCAN3_TX	ADC3_INP3 COMP2_INP
20	-	-	PF8	IO	TT	Yes	SPI5_MISO xSPI2_IO0 ETH2_MII_COL ATIM3_CH1 ATIM4_CH4 GTIMA5_CH3 GTIMB2_CH1N DVP2_HSYNC SDMMC2_LEDCTRL UART11_DE/UART11_RTS	ADC3_INN3 ADC3_INP7 COMP4_INM
21	-	-	PF9	IO	TT	Yes	SPI5_MOSI xSPI2_IO1 ETH2_MII_CRS ATIM3_CH2 ATIM4_CH1 GTIMA5_CH4 GTIMB3_CH1N DVP2_VSYNC SDMMC1_LEDCTRL UART11_CTS	ADC3_INP2
22	-	-	PF10	IO	TT	Yes	xSPI2_CLK/xSPI2_CLKIN ETH2_PPS_OUT ATIM3_CH3 ATIM4_CH2 GTIMB2_BRK	ADC3_INN2 ADC3_INP6 COMP4_INP

							DVP1_D11 LCD_DE FEMC_A3	
23	C1	12	PH0- OSC_IN	IO	FT	Yes	PH0-OSC_IN	-
24	D1	13	PH1- OSC_OUT	IO	FT	Yes	PH1-OSC_OUT	-
25	E1	14	NRST	I-O	NRS T	Yes	NRST	-
26	F1	15	PC0	IO	TT	Yes	ETH2_MII_RX_DV/ETH2_RMII_CRS_DV LCD_G2 LCD_R5 FEMC_A25 FEMC_D12/FEMC_DA12 SDRAM_NWE SDRAM_D12 DSMU_CKIN0 DSMU_DATIN4	ADC1_INP10 ADC2_INP10 ADC3_INP10
27	F2	16	PC1	IO	TT	Yes	TRACED0 RTC_TAMP3 PWR_WKUP6 SPI2_MOSI I2S2_SD_EXT ETH1_MDC LCD_G5 SDMMC2_CK FEMC_D0/FEMC_DA0 DSMU_CKIN4 DSMU_DATIN0	ADC1_INN10 ADC1_INP11 ADC2_INN10 ADC2_INP11 ADC3_INN10 ADC3_INP11
28	E2	17	PC2	IO	TT	Yes	SPI2_MISO I2S2_SD DVP2_D6 SDRAM_NCE0 DSMU_CKIN1 DSMU_CKOUT	ADC1_INN11 ADC1_INP12 ADC2_INN11 ADC2_INP12 ADC3_INN11 ADC3_INP12
29	F3	18	PC3	IO	TT	Yes	SPI2_MOSI I2S2_SD_EXT DVP2_D7 SDRAM_CKE0 DSMU_DATIN1	ADC1_INN12 ADC1_INP13 ADC2_INN12 ADC2_INP13
30	-	-	VDD	S	-	-	-	-
31	G1	19	VSSA	S	-	-	-	-
32	-	20	VREF+	S	-	-	-	-
33	H1	21	VDDA	S	-	-	-	-
34	G2	22	PA0	IO	TT	Yes	PWR_WKUP1 SPI4_NSS I2S4_WS ETH1_MII_CRS/ETH1_GMII_CRS ATIM2_ETR GTIMA1_CH1 GTIMA1_ETR GTIMA4_CH1 GTIMB1_BRK SDMMC2_CMD FEMC_A19 USART2_CTS/USART2_NSS UART9_TX	ADC1_INP16
35	H2	23	PA1	IO	TT	Yes	ETH1_MII_RX_CLK/ETH1_RMII_REF_CL K/ETH1_GMII_RX_CLK GTIMA1_CH2 GTIMA4_CH2	ADC1_INN16 ADC1_INP17

							GTIMB1_CH1N LPTIM3_OUT LCD_R2 USART2_DE/USART2_RTS UART9_RX	
36	J2	24	PA2	IO	TT	Yes	PWR_WKUP2 ETH1_MDIO GTIMA1_CH3 GTIMA4_CH3 GTIMB1_CH1P LPTIM4_OUT LCD_R1 USART2_TX	ADC1_INP14 ADC2_INP14
37	K2	25	PA3	IO	TT	Yes	I2S4_MCK ETH1_MII_COL/ETH1_GMII_COL GTIMA1_CH4 GTIMA4_CH4 GTIMB1_CH2 LPTIM5_OUT LCD_B2 LCD_B5 USART2_RX FEMC_A10	ADC1_INP15 ADC2_INP15
38	-	26	VSS	S	-	-	-	-
39	-	27	VDD	S	-	-	-	-
40	G3	28	PA4	IO	TT	No	SPI1_NSS SPI3_NSS SPI4_NSS I2S1_WS I2S3_WS I2S4_WS GTIMA4_ETR DVP1_HSYNC LCD_VSYNC FEMC_D8/FEMC_DA8 SDRAM_D8 USART2_CK USB2_SOF	ADC1_INP18 ADC2_INP18 DAC1_OUT
41	H3	29	PA5	IO	TT	Yes	SPI1_SCK SPI4_SCK I2S1_CK I2S4_CK ATIM2_CH1N GTIMA1_CH1 GTIMA1_ETR LCD_R4 FEMC_D9/FEMC_DA9 SDRAM_D9 SDRAM_DQM0	ADC1_INN18 ADC1_INP19 ADC2_INN18 ADC2_INP19 DAC2_OUT
42	J3	30	PA6	IO	TT	Yes	SPI1_MISO SPI4_MISO I2S1_SD I2S4_SD xSPI2_IO3 ATIM1_BKIN1 ATIM2_BKIN1 ATIM3_CH1 GTIMA2_CH1 DVP1_PIXCLK LCD_G2	ADC1_INP3 ADC2_INP3
43	K3	31	PA7	IO	TT	Yes	SPI1_MOSI SPI4_MOSI	ADC1_INN3 ADC1_INP7

							I2S1_SD_EXT I2S4_SD_EXT xSPI2_IO2 ETH1_MII_RX_DV/ETH1_RMII_CRS_DV/ ETH1_GMII_RX_DV ATIM1_CH1N ATIM2_CH1N ATIM4_CH1 GTIMA2_CH2 LCD_VSYNC SDRAM_NWE	ADC2_INN3 ADC2_INP7
44	G4	32	PC4	IO	TT	Yes	I2S1_MCK ETH1_MII_RXD0/ETH1_RMII_RXD0/ETH 1_GMII_RXD0 LCD_R7 SDMMC2_CKIN FEMC_A22 SDRAM_NCE0 DSMU_CKIN2	ADC1_INP4 ADC2_INP4 COMP1_INM
45	H4	33	PC5	IO	TT	Yes	ETH1_MII_RXD1/ETH1_RMII_RXD1/ETH 1_GMII_RXD1 LCD_DE SDMMC2_SEL SDRAM_CKE0 DSMU_DATIN2 FEMC_A1 SDRAM_NCAS	ADC1_INN4 ADC1_INP8 ADC2_INN4 ADC2_INP8 COMP1_OUT
46	J4	34	PB0	IO	TT	Yes	xSPI2_IO1 ETH1_MII_RXD2/ETH1_GMII_RXD2 ATIM1_CH2N ATIM2_CH2N GTIMA2_CH3 LCD_G1 LCD_R3 UART9_CTS DSMU_CKOUT	ADC1_INN5 ADC1_INP9 ADC2_INN5 ADC2_INP9 COMP1_INP
47	K4	35	PB1	IO	TT	Yes	SPI3_MISO xSPI2_IO0 ETH1_MII_RXD3/ETH1_GMII_RXD3 ATIM1_CH3N ATIM2_CH3N GTIMA2_CH4 DVP1_MCLK LCD_G0 LCD_R6 DSMU_DATIN1	ADC1_INP5 ADC2_INP5 COMP1_INM
48	G5	36	PB2	IO	TT	Yes	RTC_OUT2 SPI3_MOSI I2S3_SD_EXT xSPI2_CLK/xSPI2_CLKIN ETH1_MII_TX_ER/ETH1_GMII_TX_ER ATIM1_CH4N ATIM2_CH4N GTIMA5_ETR DVP1_HSYNC DVP2_D12 DSMU_CKIN1	COMP1_INP
49	-	-	PF11	IO	TT	Yes	SPI5_MOSI ETH2_MII_TX_EN/ETH2_RMII_TX_EN GTIMA6_CH1 DVP1_D12	ADC1_INP2

							SDRAM_NRAS I2C6_SDA SDRAM_NRAS	
50	-	-	PF12	IO	TT	Yes	xSPI2_DQS ETH2_MII_TXD0/ETH2_RMII_TXD0 GTIMA6_CH2 DVP2_D6 FEMC_A6 SDRAM_A6 FDCAN6_TX I2C6_SCL	ADC1_INN2 ADC1_INP6
51	-	-	VSS	S	-	-	-	-
52	-	-	VDD	S	-	-	-	-
53	-	-	PF13	IO	TT	Yes	ETH2_MII_TXD1/ETH2_RMII_TXD1 GTIMA6_CH3 DVP2_D7 FEMC_A7 SDRAM_A7 USART7_CK FDCAN6_RX I2C4_SMBA I2C6_SMBA DSMU_DATIN6 SDRAM_NCE0	ADC2_INP2 COMP3_OUT
54	-	-	PF14	IO	TT	Yes	ETH2_MII_TXD2 GTIMA6_CH4 DVP2_D8 FEMC_A8 SDRAM_A8 USART7_RX FDCAN3_RX I2C4_SCL DSMU_CKIN6	ADC2_INN2 ADC2_INP6 COMP3_INM
55	-	-	PF15	IO	TT	Yes	ETH2_MII_TXD3 LPTIM4_ETR DVP2_D9 FEMC_A9 SDRAM_A9 USART7_TX FDCAN3_TX I2C4_SDA SDRAM_BA0	COMP3_INP
56	-	-	PG0	IO	TT	Yes	xSPI2_IO4 xSPI2_NCS2 ETH2_MII_TX_CLK ATIM4_BKIN1 LPTIM4_IN1 DVP2_D10 FEMC_A10 SDRAM_A10 UART13_RX SDRAM_BA1	-
57	-	-	PG1	IO	TT	Yes	xSPI2_IO5 xSPI2_NCS3 ETH2_MII_TX_ER GTIMB1_ETR LPTIM4_IN2 DVP2_D11 FEMC_A11 SDRAM_A11 UART13_TX SDRAM_A10	-

58	H5	37	PE7	IO	TT	Yes	xSPI2_NCS2 ETH2_PHY_INTN ATIM1_ETR FEMC_D4/FEMC_DA4 SDRAM_D4 UART11_RX I2C7_SDA DSMU_DATIN2	COMP2_INM
59	J5	38	PE8	IO	TT	Yes	ATIM1_CH1N SDMMC1_LEDCTRL FEMC_D5/FEMC_DA5 SDRAM_D5 UART11_TX FDCAN5_TX I2C7_SCL DSMU_CKIN2 SDRAM_A0	COMP2_OUT
60	K5	39	PE9	IO	TT	Yes	ATIM1_CH1 SDMMC2_LEDCTRL FEMC_D6/FEMC_DA6 SDRAM_D6 UART11_DE/UART11_RTS FDCAN5_RX I2C7_SMB DSMU_CKOUT SDRAM_A1	COMP2_INP
61	-	-	VSS	S	-	-	-	-
62	-	-	VDD	S	-	-	-	-
63	G6	40	PE10	IO	TT	Yes	ATIM1_CH2N FEMC_D7/FEMC_DA7 SDRAM_D7 UART11_CTS DSMU_DATIN4 SDRAM_A2	COMP2_INM
64	H6	41	PE11	IO	TT	Yes	SPI6_NSS ATIM1_CH2 LCD_G3 FEMC_D8/FEMC_DA8 SDRAM_D8 DSMU_CKIN4 SDRAM_A3	COMP2_INP
65	J6	42	PE12	IO	TT	Yes	SPI6_SCK ETH1_GMII_RXD4 ATIM1_CH3N LCD_B4 FEMC_D9/FEMC_DA9 SDRAM_D9 UART13_RX DSMU_DATIN5	COMP1_OUT
66	K6	43	PE13	IO	TT	Yes	SPI6_MISO ETH1_GMII_RXD5 ATIM1_CH3 LCD_DE FEMC_D10/FEMC_DA10 SDRAM_D10 UART13_TX FDCAN6_TX I2C6_SDA DSMU_CKIN5	COMP2_OUT
67	G7	44	PE14	IO	TT	Yes	SPI6_MOSI ETH1_GMII_RXD6 ATIM1_CH4	-

							LCD_CLK FEMC_D11/FEMC_DA11 SDRAM_D11 USART6_CK UART13_CTS FDCAN6_RX I2C6_SCL	
68	H7	45	PE15	IO	TT	Yes	ETH1_GMII_RXD7 ATIM1_BKIN1 LCD_R7 FEMC_D12/FEMC_DA12 SDRAM_D12 USART5_CK UART13_DE/UART13_RTS I2C6_SMBA	-
69	J7	46	PB10	IO	TT	Yes	SPI2_SCK I2S2_CK ETH1_MII_RX_ER/ETH1_GMII_RX_ER GTIMA1_CH3 LPTIM2_IN1 LCD_G4 USART3_TX I2C2_SCL DSMU_DATIN7 FEMC_D13/FEMC_DA13	-
70	K7	47	PB11	IO	TT	Yes	ETH1_MII_TX_EN/ETH1_RMII_TX_EN/E TH1_GMII_TX_EN GTIMA1_CH4 LPTIM2_ETR LCD_G5 USART3_RX I2C2_SDA DSMU_CKIN7 FEMC_D15/FEMC_DA15	-
71	F8	48	VCAP	S	-	-	-	-
-	-	49	VSS	S	-	-	-	-
72	-	50	VDD	S	-	-	-	-
73	K8	51	PB12	IO	TT	No	SPI2_NSS/I2S2_WS ETH1_MII_TXD0/ETH1_RMII_TXD0/ETH 1_GMII_TXD0 ATIM1_BKIN1 LPTIM2_IN2 DVP2_D14 USART3_CK UART10_RX FDCAN2_RX USB2_ID I2C2_SMBA DSMU_DATIN1	-
74	J8	52	PB13	IO	TT	No	SPI2_SCK I2S2_CK ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH 1_GMII_TXD1 ATIM1_CH1N LPTIM2_OUT DVP1_D2 SDMMC1_D0 USART3_CTS/USART3_NSS UART10_TX FDCAN2_TX USB2_VBUS DSMU_CKIN1	-

75	H10	53	PB14	IO	TT	No	SPI2_MISO I2S2_SD ATIM1_CH2N ATIM2_CH2N GTIMA7_CH1 LCD_CLK SDMMC2_D0 FEMC_D10/FEMC_DA10 SDRAM_D10 USART1_TX USART3_DE/USART3_RTS UART9_DE/UART9_RTS USB2_DM DSMU_DATIN2	-
76	G10	54	PB15	IO	TT	No	RTC_REFIN SPI2_MOSI I2S2_SD_EXT ATIM1_CH3N ATIM2_CH3N GTIMA7_CH2 LCD_G7 SDMMC2_D1 FEMC_D11/FEMC_DA11 SDRAM_D11 USART1_RX UART9_CTS USB2_DP DSMU_CKIN2	-
77	K9	55	PD8	IO	TT	Yes	ATIM3_CH3 DVP2_HSYNC FEMC_D13/FEMC_DA13 SDRAM_D13 USART3_TX I2C7_SDA DSMU_CKIN3	-
78	J9	56	PD9	IO	TT	Yes	ATIM3_CH3N DVP2_VSYNC FEMC_D14/FEMC_DA14 SDRAM_D14 USART3_RX I2C7_SCL DSMU_DATIN3	-
79	H9	57	PD10	IO	TT	Yes	ETH1_CLK125 ETH2_PPS_OUT ATIM1_CH4N LPTIM2_OUT LCD_B3 FEMC_D15/FEMC_DA15 SDRAM_D15 USART3_CK I2C7_SMB_A DSMU_CKOUT	-
80	G9	58	PD11	IO	TT	Yes	GTIMA3_ETR LPTIM2_IN2 DVP2_D15 FEMC_A16/FEMC_CLE USART3_CTS/USART3_NSS I2C4_SMB_A	-
81	K10	59	PD12	IO	TT	Yes	GTIMA3_CH1 LPTIM1_IN1 LPTIM2_IN1 DVP1_D12	-

							FEMC_A17/FEMC_ALE USART3_DE/USART3_RTS UART12_TX UART13_CTS FDCAN3_RX I2C4_SCL	
82	J10	60	PD13	IO	TT	Yes	GTIMA3_CH2 LPTIM1_OUT DVP1_D13 FEMC_A18 UART12_RX USART13_DE/UART13_RTS FDCAN3_TX I2C4_SDA I2C8_SMBA	-
83	-	-	VSS	S	-	-	-	-
84	-	-	VDD	S	-	-	-	-
85	H8	61	PD14	IO	TT	Yes	ETH1_PPS_OUT ATIM3_CH4 GTIMA3_CH3 SDMMC1_D4 FEMC_D0/FEMC_DA0 SDRAM_D0 UART12_CTS UART13_RX I2C8_SDA SDRAM_CKE0	-
86	G8	62	PD15	IO	TT	Yes	ETH1_PHY_INTN ETH2_PHY_INTN ATIM3_CH4N GTIMA3_CH4 SDMMC1_D5 FEMC_D1/FEMC_DA1 SDRAM_D1 UART12_DE/UART12_RTS UART13_TX I2C8_SCL	-
87	-	-	PG2	IO	TT	Yes	ETH2_MII_RXD0/ETH2_RMII_RXD0 ATIM2_BKIN1 GTIMA6_ETR DVP2_D12 FEMC_A12 SDRAM_A12 USART7_CTS/USART7_NSS FDCAN8_TX SDRAM_DQM1	-
88	-	-	PG3	IO	FT	Yes	ETH2_MII_RXD1/ETH2_RMII_RXD1 ATIM2_BKIN2 GTIMA5_ETR DVP2_D13 FEMC_A13 USART7_DE/USART7_RTS FDCAN8_RX	-
89	-	-	PG4	IO	TT	Yes	ETH2_MII_RXD2 ATIM1_BKIN2 DVP2_D14 SDMMC2_CKIN SDMMC2_D4 FEMC_A14 SDRAM_BA0 USART6_CTS/USART6_NSS	-

							I2C1_SDA I2C8_SDA	
90	-	-	PG5	IO	TT	Yes	ETH2_MII_RXD3 ATIM1_ETR DVP2_D15 SDMMC2_CD1R SDMMC2_D5 FEMC_A15 SDRAM_BA1 USART6_DE/USART6_RTS I2C1_SCL I2C8_SCL	-
91	-	-	PG6	IO	TT	Yes	ETH2_MII_RX_ER GTIMB3_BRK DVP1_D12 LCD_R7 FEMC_NE3 I2C1_SMBA I2C8_SMBA	-
92	-	-	PG7	IO	TT	Yes	xSPI2_DQS ETH1_PHY_INTN DVP1_D13 LCD_CLK FEMC_INT/FEMC_BUSY USART4_CK FDCAN7_TX	-
93	-	-	PG8	IO	TT	Yes	SPI4_NSS I2S4_WS ETH1_PPS_OUT ATIM2_ETR LCD_G7 SDRAM_CLK USART4_DE/USART4_RTS FDCAN7_RX SDRAM_CLK	-
94	-	-	VSS	S	-	-	-	-
95	F6	-	VDD33_US B	S	-	-	-	-
96	F10	63	PC6	IO	FT	Yes	I2S2_MCK ATIM2_CH1 GTIMA2_CH1 DVP1_D0 LCD_HSYNC SDMMC1_D0DIR SDMMC1_D6 SDMMC2_D6 FEMC_NWAIT USART4_TX DSMU_CKIN3	-
97	E10	64	PC7	IO	FT	Yes	TRGIO I2S3_MCK ATIM2_CH2 GTIMA2_CH2 DVP1_D1 LCD_G6 SDMMC1_D123DIR SDMMC1_D7 SDMMC2_D7 FEMC_NE1/FEMC_NCE2 USART4_RX DSMU_DATIN3	-

98	F9	65	PC8	IO	FT	Yes	TRACED1 ATIM2_CH3 GTIMA2_CH3 DVP1_D2 SDMMC1_D0 FEMC_NCE1/FEMC_NE2 FEMC_INT/FEMC_BUSY USART4_CK UART10_DE/UART10_RTS	-
99	E9	66	PC9	IO	TT	Yes	MCO2 I2S1_CKIN I2S2_CKIN I2S3_CKIN I2S4_CKIN ATIM2_CH4 GTIMA2_CH4 DVP1_D3 LCD_B2 LCD_G3 SDMMC1_D1 UART10_CTS I2C3_SDA I2C5_SDA	-
100	D9	67	PA8	IO	FT	No	MCO1 ETH2_MII_RX_CLK/ETH2_RMII_REF_CLK ATIM1_CH1 ATIM2_BKIN2 LCD_B3 LCD_R6 USART1_CK UART11_RX USB1_SOF I2C3_SCL I2C5_SCL	-
101	C9	68	PA9	IO	TT	No	SPI2_SCK I2S2_CK ETH1_MII_TX_ER/ETH1_GMII_TX_ER ATIM1_CH2 DVP1_D0 LCD_R5 USART1_TX LPUART1_TX USB1_VBUS I2C3_SMBA I2C5_SMBA	-
102	D10	69	PA10	IO	FT	No	ATIM1_CH3 DVP1_D1 LCD_B1 LCD_B4 USART1_RX LPUART1_RX USB1_ID	-
103	C10	70	PA11	IO	FT	No	SPI2_NSS I2S2_WS ATIM1_CH4 LCD_R4 SDMMC1_SEL USART1_CTS/USART1_NSS UART9_RX LPUART1_CTS	-

							FDCAN1_RX USB1_DM	
104	B10	71	PA12	IO	FT	No	SPI2_SCK I2S2_CK ATIM1_BKIN2 ATIM1_ETR LCD_R5 USART1_DE/USART1_RTS UART9_TX LPUART1_RTS FDCAN1_TX USB1_DP	-
105	A10	72	PA13	IO	FT	Yes	JTMS-SWDIO	-
106	E7	73	VCAP	S	-	-	-	-
107	-	74	VSS	S	-	-	-	-
108	-	75	VDD	S	-	-	-	-
109	A9	76	PA14	IO	FT	Yes	JTCK-SWCLK	-
110	A8	77	PA15	IO	FT	Yes	JTDI SPI1_NSS SPI3_NSS SPI4_NSS I2S1_WS I2S3_WS I2S4_WS GTIMA1_CH1 GTIMA1_ETR LCD_B6 LCD_R3 UART9_DE/UART9_RTS UART11_TX	-
111	B9	78	PC10	IO	TT	Yes	SPI3_SCK I2S3_CK DVP1_D8 LCD_R2 LCD_B1 SDMMC1_D2 USART3_TX UART9_TX I2C5_SDA DSMU_CKIN5	-
112	B8	79	PC11	IO	TT	Yes	SPI3_MISO I2S3_SD DVP1_D4 LCD_B4 SDMMC1_D3 USART3_RX UART9_RX I2C5_SCL DSMU_DATIN5	-
113	C8	80	PC12	IO	TT	Yes	TRACED3 SPI3_MOSI SPI4_SCK I2S3_SD_EXT I2S4_CK GTIMB1_CH1P DVP1_D9 LCD_R6 SDMMC1_CK FEMC_D6/FEMC_DA6 SDRAM_D6 USART3_CK	-

							UART10_TX I2C5_SMBA	
114	D8	81	PD0	IO	TT	Yes	GTIMB2_CH1N LCD_B1 SDMMC1_WP FEMC_D2/FEMC_DA2 SDRAM_D2 UART9_RX UART13_CTS FDCAN1_RX DSMU_CKIN6 SDRAM_D11	-
115	E8	82	PD1	IO	TT	Yes	GTIMB2_CH1P SDMMC1_CD FEMC_D3/FEMC_DA3 SDRAM_D3 UART9_TX FDCAN1_TX I2C1_SMBA DSMU_DATIN6 SDRAM_D12	-
116	B7	83	PD2	IO	TT	Yes	TRACED2 GTIMA2_ETR GTIMB1_BRK GTIMB2_CH2 DVP1_D11 LCD_B2 LCD_B7 SDMMC1_CMD FEMC_D7/FEMC_DA7 SDRAM_D7 UART10_RX LPUART2_CTS SDRAM_D13	-
117	C7	84	PD3	IO	FT	Yes	SPI2_SCK I2S2_CK GTIMB2_CH3 DVP1_D5 LCD_G7 SDMMC1_RST FEMC_CLK USART2_CTS/USART2_NSS LPUART2_RTS DSMU_CKOUT	-
118	D7	85	PD4	IO	TT	Yes	SPI3_NSS GTIMB2_CH4 DVP1_D14 SDMMC2_WP FEMC_NOE USART2_DE/USART2_RTS LPUART2_TX I2C1_SCL	-
119	B6	86	PD5	IO	TT	Yes	SPI3_MISO GTIMB2_ETR DVP1_D15 SDMMC2_CD FEMC_NWE USART2_TX LPUART2_RX I2C1_SDA	-
120	-	-	VSS	S	-	-	-	-
121	-	-	VDD	S	-	-	-	-

122	C6	87	PD6	IO	TT	Yes	SPI3_MOSI I2S3_SD_EXT DVP1_D10 LCD_B2 SDMMC2_CK FEMC_NWAIT USART2_RX DSMU_CKIN4 DSMU_DATIN1	-
123	D6	88	PD7	IO	TT	Yes	SPI1_MOSI SPI3_SCK I2S1_SD_EXT ATIM4_BKIN1 SDMMC2_CMD FEMC_NE1/FEMC_NCE2 USART2_CK DSMU_CKIN1 DSMU_DATIN4	-
124	-	-	PG9	IO	TT	Yes	SPI1_MISO I2S1_SD ETH2_MII_RXD0/ETH2_RMII_RXD0 DVP1_VSYNC SDMMC2_D0 FEMC_NCE1/FEMC_NE2 USART4_RX FDCAN3_TX	-
125	-	-	PG10	IO	TT	Yes	SPI1_NSS I2S1_WS xSPI2_IO6 xSPI2_NCS4 ETH2_MII_RXD1/ETH2_RMII_RXD1 DVP1_D2 LCD_B2 LCD_G3 SDMMC2_D1 FEMC_NE3 FDCAN3_RX	-
126	-	-	PG11	IO	TT	Yes	SPI1_SCK I2S1_CK xSPI2_IO7 xSPI2_NCSIN ETH1_MII_TX_EN/ETH1_RMII_TX_EN/E TH1_GMII_TX_EN LPTIM1_IN2 DVP1_D3 LCD_B3 SDMMC2_D2 USART5_RX	-
127	-	-	PG12	IO	TT	Yes	SPI4_MISO I2S4_SD xSPI2_NCS1 ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH 1_GMII_TXD1 GTIMA5_CH1 LPTIM1_IN1 DVP2_MCLK LCD_B1 LCD_B4 SDMMC2_D3 FEMC_NE4 USART4_DE/USART4_RTS USART5_TX	-

128	-	-	PG13	IO	TT	Yes	TRACED0 SPI4_SCK I2S4_CK ETH1_MII_TXD0/ETH1_RMII_TXD0/ETH1_GMII_TXD0 GTIMA5_CH2 LPTIM1_OUT LCD_R0 SDMMC2_D0DIR SDMMC2_D6 FEMC_A24 USART4_CTS/USART4_NSS USART5_CTS/USART5_NSS	-
129	-	-	PG14	IO	TT	Yes	TRACED1 SPI4_MOSI I2S4_SD_EXT ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH1_GMII_TXD1 GTIMA5_CH3 LPTIM1_ETR LCD_B0 SDMMC2_D123DIR SDMMC2_D7 FEMC_A25 USART4_TX USART5_DE/USART5_RTS	-
130	-	-	VSS	S	-	-	-	-
131	-	-	VDD	S	-	-	-	-
132	-	-	PG15	IO	TT	Yes	xSPI2_DQS ETH1_PHY_INTN DVP1_D13 SDMMC2_RST SDRAM_NCAS USART4_CTS/USART4_NSS USART5_CK SDRAM_D14	-
133	A7	89	PB3	IO	FT	Yes	TRACESWO/JTDO SPI1_SCK SPI3_SCK SPI4_SCK I2S1_CK I2S3_CK I2S4_CK GTIMA1_CH2 GTIMA6_ETR SDMMC2_D2 UART11_RX	-
134	A6	90	PB4	IO	FT	Yes	JTRST SPI1_MISO SPI2_NSS SPI3_MISO SPI4_MISO I2S1_SD I2S2_WS I2S3_SD I2S4_SD ETH1_PHY_INTN GTIMA2_CH1 GTIMB2_BRK SDMMC2_D3 UART11_TX	-

135	C5	91	PB5	IO	TT	Yes	SPI1_MOSI/I2S1_SD_EXT SPI3_MOSI/I2S3_SD_EXT SPI4_MOSI/I2S4_SD_EXT ETH1_PPS_OUT GTIMA2_CH2 GTIMB3_BRK DVP1_D10 LCD_B5 SDRAM_CKE1 UART10_RX FDCAN2_RX I2C1_SMBA I2C4_SMBA	-
136	B5	92	PB6	IO	TT	Yes	GTIMA2_CH3 GTIMA3_CH1 GTIMB2_CH1N DVP1_D5 SDMMC1_D6 SDRAM_NCE1 USART1_TX UART10_TX LPUART1_TX FDCAN2_TX I2C1_SCL I2C4_SCL DSMU_DATIN5	-
137	A5	93	PB7	IO	TT	Yes	ETH1_MII_TXD2/ETH1_GMII_TXD2 GTIMA2_CH4 GTIMA3_CH2 GTIMB3_CH1N DVP1_VSYNC SDMMC1_D7 FEMC_NL/FEMC_NADV USART1_RX LPUART1_RX I2C1_SDA I2C4_SDA DSMU_CKIN5	-
138	D5	94	BOOT0	I	BOOT	Yes	BOOT0	-
139	B4	95	PB8	IO	TT	Yes	ETH1_MII_TXD3/ETH1_GMII_TXD3 GTIMA2_ETR GTIMA3_CH3 GTIMB2_CH1P DVP1_D6 LCD_B6 SDMMC1_CKIN SDMMC1_D4 SDMMC2_D4 UART9_RX FDCAN1_RX I2C1_SCL I2C4_SCL DSMU_CKIN7	-
140	A4	96	PB9	IO	FT	Yes	SPI2_NSS/I2S2_WS GTIMA3_CH4 GTIMB3_CH1P DVP1_D7 LCD_B7 SDMMC1_CD1R SDMMC1_D5 SDMMC2_D5	-

							UART9_TX FDCAN1_TX I2C1_SDA I2C4_SDA I2C4_SMB DSMU_DATIN7	
141	D4	97	PE0	IO	TT	Yes	GTIMA3_ETR GTIMB1_CH3 LPTIM1_ETR LPTIM2_ETR DVP1_D2 LCD_R0 FEMC_NBL0 SDRAM_DQM0 UART12_RX	-
142	C4	98	PE1	IO	TT	Yes	GTIMB1_CH4 LPTIM1_IN2 DVP1_D3 LCD_R6 FEMC_NBL1 SDRAM_DQM1 UART12_TX SDRAM_D15	-
-	-	99	VSS	S	-	-	-	-
143	F7	-	NC	S	-	-	-	-
144	-	100	VDD	S	-	-	-	-
-	C2/ E6/ J1/ E4/ E5	-	VSS	S	-	-	-	-
-	D2/ F5/ K1/ F4	-	VDD	S	-	-	-	-

1. I = 输入, 0 = 输出, S = 电源。

2. FT: 容忍 5V; TT: 3.3V IO。

3. Fail-safe 指当芯片没有电源输入时, 在 IO 上加输入高电平, 不会存在输入高电平灌入芯片, 从而导致电源上有一定电压, 并消耗电流的现象。

3.3 GPIO 复用功能

3.3.1 GPIOA复用功能

表 3-2 GPIOA 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA0	ETH1_MII_CRS/ETH1_GMII_CRS	SDMMC2_CMD	FEMC_A19	SPI4_NSS	I2S4_WS	ATIM2_ETR	GTIMA1_C H1	GTIMA1_E TR	GTIMA4_C H1	GTIMB1_B RK	USART2_C TS/USART2_NSS	UART9_TX		-	EVENTOUT	-
PA1	-	-	ETH1_MII_RX_CLK/ETH1_RMII_REF_CLK/ETH1_GMII_RX_CLK	LCD_R2	GTIMA1_C H2	GTIMA4_C H2	GTIMB1_C H1N	LPTIM3_O UT	USART2_DE/USART2_RTS	UART9_RX		-	-	-	EVENTOUT	-
PA2	-	ETH1_MDI_O	LCD_R1	GTIMA1_C H3	GTIMA4_C H3	GTIMB1_C H1P	LPTIM4_O UT	USART2_T X	-	-	-	-	-	-	EVENTOUT	-
PA3	-	-	ETH1_MII_COL/ETH1_GMII_COL	FEMC_A10	LCD_B2	LCD_B5	I2S4_MCK	GTIMA1_C H4	GTIMA4_C H4	GTIMB1_C H2	LPTIM5_O UT	USART2_R X	-	-	EVENTOUT	-
PA4	SDRAM_D8	FEMC_D8/F EMC_DA8	LCD_VSYN_C	DVP1_HSY NC	SPI1_NSS	SPI3_NSS	SPI4_NSS	I2S1_WS	I2S3_WS	I2S4_WS	GTIMA4_E TR	USART2_C K	USB2_SOF		EVENTOUT	-
PA5	SDRAM_D9	SDRAM_D QM0	FEMC_D9/F EMC_DA9	LCD_R4	SPI1_SCK	SPI4_SCK	I2S1_CK	I2S4_CK	ATIM2_CH1_N	GTIMA1_C H1	GTIMA1_E TR		-	-	EVENTOUT	-
PA6	-	xSPI2_IO3	LCD_G2	DVP1_PIXC LK	SPI1_MISO	SPI4_MISO	I2S1_SD	I2S4_SD	ATIM1_BK1_N1	ATIM2_BK1_N1	ATIM3_CH1	GTIMA2_C H1		-	EVENTOUT	-
PA7	SDRAM_N WE	-	xSPI2_IO2	ETH1_MII_RX_DV/ETH1_RMII_C RS_DV/ETH1_GMII_R X_DV	LCD_VSYN_C	SPI1_MOSI	SPI4_MOSI	I2S1_SD_E XT	I2S4_SD_E XT	ATIM1_CH1_N	ATIM2_CH1_N	ATIM4_CH1	GTIMA2_C H2		EVENTOUT	-
PA8	ETH2_MII_RX_CLK/ETH2_RMII_REF_CLK	LCD_B3	LCD_R6	-	ATIM1_CH1	ATIM2_BK1_N2	USART1_C K	UART11_R X	USB1_SOF	I2C3_SCL	I2C5_SCL	-	-	-	EVENTOUT	MCO1
PA9	ETH1_MII_TX_ER/ETH1_GMII_TX_ER	LCD_R5	DVP1_D0	SPI2_SCK	I2S2_CK	-	ATIM1_CH2	USART1_T X	LPUART1_TX	USB1_VBUS	I2C3_SMBA	I2C5_SMBA	-	-	EVENTOUT	-
PA10	LCD_B1	LCD_B4	DVP1_D1	-	ATIM1_CH3	USART1_R X	LPUART1_RX	USB1_ID	-	-	-	-	-	-	EVENTOUT	-
PA11	SDMMC1_SEL	LCD_R4	SPI2_NSS	I2S2_WS	-	ATIM1_CH4	USART1_C TS	UART9_RX	LPUART1_CTS	FDCAN1_RX	USB1_DM		-	-	EVENTOUT	-
PA12	LCD_R5	SPI2_SCK	I2S2_CK	-	ATIM1_BK1_N2	ATIM1_ETR	USART1_R TS	UART9_TX	LPUART1_RTS	FDCAN1_TX	USB1_DP		-	-	EVENTOUT	-
PA13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	JTMS/SWDIO
PA14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	JTCK/SWCLK
PA15	LCD_B6	LCD_R3	SPI1_NSS	SPI3_NSS	SPI4_NSS	I2S1_WS	I2S3_WS	I2S4_WS	-	GTIMA1_C H1	GTIMA1_E TR	UART9_DE/UART9_RTS	UART11_TX	-	EVENTOUT	JTDI

3.3.2 GPIOB复用功能

表 3-3 GPIOB 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB0	-	xSPI2_IO1	ETH1_MII_RXD2/ETH1_GMII_RXD2	LCD_G1	LCD_R3	ATIM1_CH2_N	ATIM2_CH2_N	GTIMA2_C_H3	UART9_CTS	DSMU_CKOUT		-	-	-	EVENTOUT	-
PB1	-	xSPI2_IO0	ETH1_MII_RXD3/ETH1_GMII_RXD3	LCD_G0	LCD_R6	DVP1_MCLK	SPI3_MISO	ATIM1_CH3_N	ATIM2_CH3_N	GTIMA2_C_H4	DSMU_DATIN1		-	-	EVENTOUT	-
PB2	-	-	xSPI2_CLK/xSPI2_CLKIN	ETH1_MII_TX_ER/ETH1_GMII_TX_ER	DVP1_HSYNC	DVP2_D12	SPI3_MOSI	I2S3_SD_EXT	ATIM1_CH4_N	ATIM2_CH4_N	GTIMA5_ETR	DSMU_CK1N1		-	EVENTOUT	RTC_OUT2
PB3	SDMMC2_D2	SPI1_SCK	SPI3_SCK	SPI4_SCK	I2S1_CK	I2S3_CK	I2S4_CK	-	GTIMA1_C_H2	GTIMA6_ETR	UART11_RX	-	-	-	EVENTOUT	JTDO/TRACESWO
PB4	ETH1_PHY_INTN	SDMMC2_D3	SPI1_MISO	SPI2_NSS	SPI3_MISO	SPI4_MISO	I2S1_SD	I2S2_WS	I2S3_SD	I2S4_SD	GTIMA2_C_H1	GTIMB2_BRK	UART11_TX	-	EVENTOUT	JTRST
PB5	SDRAM_CKE1	-	ETH1_PPS_OUT	LCD_B5	DVP1_D10	SPI1_MOSI/I2S1_SD_EXT	SPI3_MOSI/I2S3_SD_EXT	SPI4_MOSI/I2S4_SD_EXT	GTIMA2_C_H2	GTIMB3_BRK	UART10_RX	FDCAN2_RX	I2C1_SMBA	I2C4_SMBA	EVENTOUT	-
PB6	SDRAM_NCE1	-	SDMMC1_D6	DVP1_D5	GTIMA2_C_H3	GTIMA3_C_H1	GTIMB2_C_H1N	USART1_TX	UART10_TX	LPUART1_TX	FDCAN2_TX	I2C1_SCL	I2C4_SCL	DSMU_DATIN5	EVENTOUT	-
PB7	ETH1_MII_TXD2/ETH1_GMII_TXD2	SDMMC1_D7	FEMC_NL/FEMC_NADV	DVP1_VSYNC	-	GTIMA2_C_H4	GTIMA3_C_H2	GTIMB3_C_H1N	USART1_RX	LPUART1_RX	I2C1_SDA	I2C4_SDA	DSMU_CK1N5		EVENTOUT	-
PB8	ETH1_MII_TXD3	SDMMC1_CKIN	SDMMC1_D4	SDMMC2_D4	LCD_B6	DVP1_D6	GTIMA2_ETR	GTIMA3_C_H3	GTIMB2_C_H1P	UART9_RX	FDCAN1_RX	I2C1_SCL	I2C4_SCL	DSMU_CK1N7	EVENTOUT	-
PB9	SDMMC1_CDIR	SDMMC1_D5	SDMMC2_D5	LCD_B7	DVP1_D7	SPI2_NSS/I2S2_WS	GTIMA3_C_H4	GTIMB3_C_H1P	UART9_TX	FDCAN1_TX	I2C1_SDA	I2C4_SDA	I2C4_SMBA	DSMU_DATIN7	EVENTOUT	-
PB10	-	ETH1_MII_RX_ER/ETH1_GMII_RX_ER	FEMC_D13/FEMC_DAI3	LCD_G4	SPI2_SCK	I2S2_CK	-	GTIMA1_C_H3	LPTIM2_IN1	USART3_TX	I2C2_SCL	DSMU_DATIN7		-	EVENTOUT	-
PB11	ETH1_MII_TX_EN/ETH1_RMII_TX_EN/ETH1_GMII_TX_EN	FEMC_D15/FEMC_DAI5	LCD_G5	-	GTIMA1_C_H4	LPTIM2_ETR	USART3_RX	I2C2_SDA	DSMU_CK1N7		-	-	-	-	EVENTOUT	-
PB12	-	-	ETH1_MII_TXD0/ETH1_RMII_TXD0/ETH1_GMII_TXD0	-	DVP2_D14	SPI2_NSS/I2S2_WS	ATIM1_BK1N1	LPTIM2_IN2	USART3_CK	UART10_RX	FDCAN2_RX	USB2_ID	I2C2_SMBA	DSMU_DATIN1	EVENTOUT	-
PB13	-	ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH1_GMII_TXD1	SDMMC1_D0	DVP1_D2	SPI2_SCK	I2S2_CK	ATIM1_CH1N	LPTIM2_OUT	USART3_CTS/USART3_NSS	UART10_TX	FDCAN2_TX	USB2_VBUS	DSMU_CK1N1		EVENTOUT	-
PB14	SDRAM_D10	SDMMC2_D0	FEMC_D10/FEMC_DAI0	LCD_CLK	SPI2_MISO	I2S2_SD	ATIM1_CH2N	ATIM2_CH2N	GTIMA7_C_H1	USART1_TX	USART3_DE/USART3_RTS	UART9_DE/UART9_RTS	USB2_DM	DSMU_DATIN2	EVENTOUT	-
PB15	SDRAM_D11	SDMMC2_D1	FEMC_D11/FEMC_DAI1	LCD_G7	SPI2_MOSI	I2S2_SD_EXT	ATIM1_CH3N	ATIM2_CH3N	GTIMA7_C_H2	USART1_RX	UART9_CTS	USB2_DP	DSMU_CK1N2	-	EVENTOUT	RTC_REFIN

3.3.3 GPIOC复用功能

表 3-4 GPIOC 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PC0	SDRAM_NWE	SDRAM_D12	ETH2_MII_RX_DV/ETH2_RMII_CRS_DV	FEMC_A25	FEMC_D12/FEMC_DA12	LCD_G2	LCD_R5	DSMU_CK1N0	DSMU_DATIN4			-	-	-	EVENTOUT	-
PC1	-	ETH1_MDC	SDMMC2_CK	LCD_G5	SPI2_MOSI	I2S2_SD_EXT	DSMU_CK1N4	DSMU_DATIN0	FEMC_D0/FEMC_DA0		-	-	-	-	EVENTOUT	TRACED0
PC2	SDRAM_NCE0	-	-	-	ETH1_MII_TXD2/ETH1_GMII_TXD2	DVP2_D6	SPI2_MISO	I2S2_SD	DSMU_CK1N1	DSMU_CKOUT		-	-	-	EVENTOUT	-
PC3	SDRAM_CKE0	-	-	-	ETH1_MII_TX_CLK/ETH1_GMII_TX_CLK	DVP2_D7	SPI2_MOSI	I2S2_SD_EXT	DSMU_DATIN1		-	-	-	-	EVENTOUT	-
PC4	SDRAM_NCE0	ETH1_MII_RXD0/ETH1_RMII_RXD0/ETH1_GMII_RXD0	SDMMC2_CKIN	FEMC_A22	LCD_R7	I2S1_MCK	DSMU_CK1N2		-	-	-	-	-	-	EVENTOUT	-
PC5	SDRAM_CKE0	-	ETH1_MII_RXD1/ETH1_RMII_RXD1/ETH1_GMII_RXD1	FEMC_A1	LCD_DE	DSMU_DATIN2	COMP1_OUT	SDRAM_NCAS	SDMMC2_SEL		-	-	-	-	EVENTOUT	-
PC6	SDMMC1_D0DIR	SDMMC1_D6	SDMMC2_D6	FEMC_NW_AIT	LCD_HSYN_C	DVP1_D0	I2S2_MCK	-	ATIM2_CH1	GTIMA2_CH1	USART4_TX	DSMU_CK1N3			EVENTOUT	-
PC7	SDMMC1_D123DIR	SDMMC1_D7	SDMMC2_D7	FEMC_NE1/FEMC_NCE2	LCD_G6	DVP1_D1	I2S3_MCK	-	ATIM2_CH2	GTIMA2_CH2	USART4_RX	DSMU_DATIN3		-	EVENTOUT	TRGIO
PC8	SDMMC1_D0	FEMC_NCE1/FEMC_NCE2	FEMC_INT/FEMC_BSY	DVP1_D2	-	ATIM2_CH3	GTIMA2_CH3	USART4_CK	UART10_DE/UART10_RTS		-	-	-	-	EVENTOUT	TRACED1
PC9	-	SDMMC1_D1	LCD_B2	LCD_G3	DVP1_D3	I2S1_CKIN	I2S2_CKIN	I2S3_CKIN	I2S4_CKIN	ATIM2_CH4	GTIMA2_CH4	UART10_CTS	I2C3_SDA	I2C5_SDA	EVENTOUT	MCO2
PC10	-	SDMMC1_D2	LCD_R2	LCD_B1	DVP1_D8	SPI3_SCK	I2S3_CK	USART3_TX	UART9_TX	I2C5_SDA	DSMU_CK1N5		-	-	EVENTOUT	-
PC11	-	SDMMC1_D3	LCD_B4	DVP1_D4	SPI3_MISO	I2S3_SD	-	USART3_RX	UART9_RX	I2C5_SCL	DSMU_DATIN5		-	-	EVENTOUT	-
PC12	SDRAM_D6	SDMMC1_CK	FEMC_D6/FEMC_DA6	LCD_R6	DVP1_D9	SPI3_MOSI	SPI4_SCK	I2S3_SD_EXT	I2S4_CK	GTIMB1_CHIP	USART3_CK	UART10_TX	I2C5_SMB_A		EVENTOUT	TRACED3
PC13	-	-	-	-	-	-	-	-	-	RTC_TAMP1/RTC_TS	-	-	-	-	EVENTOUT	RTC_OUT1
PC14	-	-	-	-	-	-	-	-	-	TIMESTAMP	-	-	-	-	EVENTOUT	-
PC15	-	-	-	-	-	-	-	-	-	TIMESTAMP	-	-	-	-	EVENTOUT	-

3.3.4 GPIOD复用功能

表 3-5 GPIOD 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PD0	SDRAM_D2	SDRAM_D1_1	SDMMC1_WP	FEMC_D2/FEMC_DA2	LCD_B1	GTIMB2_C_H1N	UART9_RX	UART13_CTS	FDCAN1_RX	DSMU_CK1_N6		-	-	-	EVENTOUT	-
PD1	SDRAM_D3	SDRAM_D1_2	SDMMC1_CD	FEMC_D3/FEMC_DA3	GTIMB2_C_H1P	UART9_TX	FDCAN1_TX	I2C1_SMB_A	DSMU_DATIN6		-	-	-	-	EVENTOUT	-
PD2	SDRAM_D7	SDRAM_D1_3	SDMMC1_CMD	FEMC_D7/FEMC_DA7	LCD_B2	LCD_B7	DVP1_D11	GTIMA2_ETR	GTIMB1_B_RK	GTIMB2_C_H2	UART10_RX	LPUART2_CTS	-	-	EVENTOUT	TRACED2
PD3	SDMMC1_RST	FEMC_CLK	LCD_G7	DVP1_D5	SPI2_SCK	I2S2_CK	GTIMB2_C_H3	USART2_CTS/USART2_NSS	LPUART2_RTS	DSMU_CKOUT		-	-	-	EVENTOUT	-
PD4	-	SDMMC2_WP	FEMC_NOE	DVP1_D14	SPI3_NSS	-	GTIMB2_C_H4	USART2_DE/USART2_RTS	LPUART2_TX	I2C1_SCL	-	-	-	-	EVENTOUT	-
PD5	-	SDMMC2_CD	FEMC_NWE	DVP1_D15	SPI3_MISO	GTIMB2_ETR	USART2_TX	LPUART2_RX	I2C1_SDA		-	-	-	-	EVENTOUT	-
PD6	-	SDMMC2_CK	FEMC_NW_AIT	LCD_B2	DVP1_D10	SPI3_MOSI	I2S3_SD_EXT	USART2_RX	DSMU_CK1_N4	DSMU_DATIN1		-	-	-	EVENTOUT	-
PD7	-	SDMMC2_CMD	FEMC_NE1/FEMC_NC_E2	SPI1_MOSI	SPI3_SCK	I2S1_SD_EXT	ATIM4_BK1_N1	USART2_CK	DSMU_CK1_N1	DSMU_DATIN4		-	-	-	EVENTOUT	-
PD8	SDRAM_D1_3	-	FEMC_D13/FEMC_DA1_3	DVP2_HSY_NC	-	ATIM3_CH3	USART3_TX	I2C7_SDA	DSMU_CK1_N3		-	-	-	-	EVENTOUT	-
PD9	SDRAM_D1_4	FEMC_D14/FEMC_DA1_4	DVP2_VSY_NC	-	ATIM3_CH3N	USART3_RX	I2C7_SCL	DSMU_DATIN3		-	-	-	-	-	EVENTOUT	-
PD10	SDRAM_D1_5	ETH1_CLK_125	ETH2_PPS_OUT	FEMC_D15/FEMC_DA1_5	LCD_B3	ATIM1_CH4N	LPTIM2_OUT	USART3_CK	I2C7_SMB_A	DSMU_CKOUT	-	-	-	-	EVENTOUT	-
PD11	-	FEMC_A16/FEMC_CLE	DVP2_D15	GTIMA3_ETR	LPTIM2_IN2	USART3_CTS/USART3_NSS	I2C4_SMB_A		-	-	-	-	-	-	EVENTOUT	-
PD12	-	FEMC_A17/FEMC_ALE	DVP1_D12	GTIMA3_CH1	LPTIM1_IN1	LPTIM2_IN1	USART3_DE/USART3_RTS	UART12_TX	UART13_CTS	FDCAN3_RX	I2C4_SCL		-	-	EVENTOUT	-
PD13	-	FEMC_A18	DVP1_D13	GTIMA3_CH2	LPTIM1_OUT	UART12_RX	UART13_DE/UART13_RTS	FDCAN3_TX	I2C4_SDA	I2C8_SMB_A		-	-	-	EVENTOUT	-
PD14	SDRAM_D0	SDRAM_CKE0	ETH1_PPS_OUT	SDMMC1_D4	FEMC_D0/FEMC_DA0	ATIM3_CH4	GTIMA3_CH3	UART12_CTS	UART13_RX	I2C8_SDA	-	-	-	-	EVENTOUT	-
PD15	SDRAM_D1	ETH1_PHY_INTN	ETH2_PHY_INTN	SDMMC1_D5	FEMC_D1/FEMC_DA1	ATIM3_CH4N	GTIMA3_CH4	UART12_DE/UART12_RTS	UART13_TX	I2C8_SCL	-	-	-	-	EVENTOUT	-

3.3.5 GPIOE复用功能

表 3-6 GPIOE 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PE0	SDRAM_D_QM0	-	FEMC_NBL_0	LCD_R0	DVP1_D2	-	GTIMA3_ETR	GTIMB1_C_H3	LPTIM1_ETR	LPTIM2_ETR	UART12_RX	-	-	-	EVENTOUT	-
PE1	SDRAM_D_QM1	-	FEMC_NBL_1	LCD_R6	DVP1_D3	-	GTIMB1_C_H4	LPTIM1_IN2	UART12_TX	SDRAM_D1_5	-	-	-	-	EVENTOUT	-
PE2	-	ETH1_MII_TXD3/ETH1_GMII_TX_D3	FEMC_A23	DVP2_D0	SPI6_SCK	GTIMB1_ETR	USART5_RX	FDCAN4_TX	-	-	-	-	-	-	EVENTOUT	TRACECLK
PE3	ETH1_MII_TXD2/ETH1_GMII_TX_D2	FEMC_A19	DVP2_D1	GTIMB1_BRK	USART5_TX	FDCAN4_RX	-	-	-	-	-	-	-	-	EVENTOUT	TRACED0
PE4	ETH2_PHY_INTN	FEMC_A20	LCD_B0	DVP1_D4	SPI6_NSS	GTIMB1_C_H1N	USART6_RX	DSMU_DATIN3	-	-	-	-	-	-	EVENTOUT	TRACED1
PE5	xSPI2_NCS_1	FEMC_A21	LCD_G0	DVP1_D6	SPI6_MISO	GTIMB1_C_H1P	USART6_TX	DSMU_CKIN3	-	-	-	-	-	-	EVENTOUT	TRACED2
PE6	FEMC_A22	LCD_G1	DVP1_D7	SPI6_MOSI	ATIM1_BK1_N2	GTIMB1_C_H2	-	-	-	-	-	-	-	-	EVENTOUT	TRACED3
PE7	SDRAM_D4	-	-	xSPI2_NCS_2	ETH2_PHY_INTN	FEMC_D4/FEMC_DA4	ATIM1_ETR	UART11_RX	I2C7_SDA	DSMU_DATIN2	-	-	-	-	EVENTOUT	-
PE8	SDRAM_D5	SDRAM_A0	-	-	SDMMC1_LEDCTRL	FEMC_D5/FEMC_DA5	ATIM1_CH1N	UART11_TX	FDCAN5_TX	I2C7_SCL	DSMU_CKIN2	COMP2_OUT	-	-	EVENTOUT	-
PE9	SDRAM_D6	SDRAM_A1	-	-	SDMMC2_LEDCTRL	FEMC_D6/FEMC_DA6	ATIM1_CH1	UART11_DE/UART11_RTS	FDCAN5_RX	I2C7_SMB_A	DSMU_CKOUT	-	-	-	EVENTOUT	-
PE10	SDRAM_D7	SDRAM_A2	-	-	FEMC_D7/FEMC_DA7	ATIM1_CH2N	UART11_CTS	DSMU_DATIN4	-	-	-	-	-	-	EVENTOUT	-
PE11	SDRAM_D8	-	FEMC_D8/FEMC_DA8	LCD_G3	SPI6_NSS	ATIM1_CH2	DSMU_CKIN4	SDRAM_A3	-	-	-	-	-	-	EVENTOUT	-
PE12	SDRAM_D9	-	ETH1_GMII_RXD4	FEMC_D9/FEMC_DA9	LCD_B4	SPI6_SCK	ATIM1_CH3N	UART13_RX	DSMU_DATIN5	COMP1_OUT	-	-	-	-	EVENTOUT	-
PE13	SDRAM_D1_0	ETH1_GMII_RXD5	FEMC_D10/FEMC_DA1_0	LCD_DE	SPI6_MISO	ATIM1_CH3	UART13_TX	FDCAN6_TX	I2C6_SDA	DSMU_CKIN5	COMP2_OUT	-	-	-	EVENTOUT	-
PE14	SDRAM_D1_1	-	ETH1_GMII_RXD6	FEMC_D11	LCD_CLK	SPI6_MOSI	ATIM1_CH4	USART6_CK	UART13_CTS	FDCAN6_RX	I2C6_SCL	-	-	-	EVENTOUT	-
PE15	SDRAM_D1_2	ETH1_GMII_RXD7	FEMC_D12/FEMC_DA1_2	LCD_R7	ATIM1_BK1_N1	USART5_CK	UART13_DE/UART13_RTS	I2C6_SMB_A	-	-	-	-	-	-	EVENTOUT	-

3.3.6 GPIOF复用功能

表 3-7 GPIOF 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF0	SDRAM_A0	xSPI2_IO0	ETH1_GMII_TXD4	FEMC_A0	DVP2_D0	-	GTIMA1_C_H1	GTIMA5_C_H1	USART1_TX	FDCAN4_TX	I2C2_SDA	I2C5_SDA	COMP3_OUT	-	EVENTOUT	-
PF1	SDRAM_A1	SDRAM_D5	xSPI2_IO1	ETH1_GMII_TXD5	FEMC_A1	DVP2_D1	-	GTIMA1_C_H2	GTIMA5_C_H2	USART1_RX	FDCAN4_RX	I2C2_SCL	I2C5_SCL	-	EVENTOUT	-
PF2	SDRAM_A2	xSPI2_IO2	ETH1_GMII_TXD6	FEMC_A2	DVP2_D2	SPI6_NSS	-	GTIMA1_C_H3	GTIMA5_C_H3	GTIMB2_ETR	USART1_CK	I2C2_SMB_A	I2C5_SMB_A	-	EVENTOUT	-
PF3	SDRAM_A3	xSPI2_IO3	ETH1_GMII_TXD7	FEMC_A3	DVP2_D3	SPI6_SCK	-	GTIMA1_C_H4	GTIMA5_C_H4	GTIMB2_C_H4	USART1_CTS/USART1_NSS	I2C6_SDA	-	-	EVENTOUT	-
PF4	SDRAM_A4	SDRAM_D4	xSPI2_CLK/xSPI2_CLKIN	ETH2_MII_RX_CLK/ETH2_RMII_REF_CLK	FEMC_A4	DVP2_D4	SPI6_MISO	-	GTIMA1_ETR	GTIMB2_C_H3	USART1_DE/USART1_RTS	FDCAN5_TX	I2C6_SCL	-	EVENTOUT	-
PF5	SDRAM_A5	xSPI2_NCLK	ETH1_GMII_GTX_CLK	FEMC_A5	DVP2_D5	SPI6_MOSI	-	ATIM3_BKIN1	GTIMB2_C_H2	FDCAN5_RX	I2C6_SMB_A	-	-	-	EVENTOUT	-
PF6	-	xSPI2_IO3	ETH2_MDIO	DVP1_PIXCLK	DVP2_D5	SPI5_NSS	ATIM3_ETR	ATIM4_ETR	GTIMA5_C_H1	GTIMB2_C_H1P	UART11_RX	FDCAN3_RX	-	-	EVENTOUT	-
PF7	-	xSPI2_IO2	ETH2_MDC	DVP2_PIXCLK	SPI5_SCK	ATIM3_CH4	ATIM4_CH3	GTIMA5_C_H2	GTIMB3_C_H1P	UART11_TX	FDCAN3_TX	-	-	-	EVENTOUT	-
PF8	-	xSPI2_IO0	ETH2_MII_COL	SDMMC2_LEDCTRL	DVP2_HSYNC	SPI5_MISO	ATIM3_CH1	ATIM4_CH4	GTIMA5_C_H3	GTIMB2_C_H1N	UART11_DE/UART11_RTS	-	-	-	EVENTOUT	-
PF9	-	xSPI2_IO1	ETH2_MII_CRS	SDMMC1_LEDCTRL	DVP2_VSYNC	SPI5_MOSI	-	ATIM3_CH2	ATIM4_CH1	GTIMA5_C_H4	GTIMB3_C_H1N	UART11_CTS	-	-	EVENTOUT	-
PF10	-	xSPI2_CLK/xSPI2_CLKIN	ETH2_PPS_OUT	LCD_DE	DVP1_D11	ATIM3_CH3	ATIM4_CH2	GTIMB2_BRK	FEMC_A3	-	-	-	-	-	EVENTOUT	-
PF11	SDRAM_N_RAS	-	DVP1_D12	SPI5_MOSI	GTIMA6_C_H1	I2C6_SDA	ETH2_MII_TX_EN/ETH2_RMII_TX_EN	-	-	-	-	-	-	-	EVENTOUT	-
PF12	SDRAM_A6	xSPI2_DQS	ETH2_MII_TXD0/ETH2_RMII_TXD0	FEMC_A6	DVP2_D6	GTIMA6_C_H2	FDCAN6_TX	I2C6_SCL	-	-	-	-	-	-	EVENTOUT	-
PF13	SDRAM_A7	SDRAM_N_CE0	ETH2_MII_TXD1/ETH2_RMII_TXD1	FEMC_A7	DVP2_D7	-	GTIMA6_C_H3	USART7_CK	FDCAN6_RX	I2C4_SMB_A	I2C6_SMB_A	DSMU_DATIN6	COMP3_OUT	-	EVENTOUT	-
PF14	SDRAM_A8	ETH2_MII_TXD2	FEMC_A8	DVP2_D8	-	GTIMA6_C_H4	USART7_RX	FDCAN3_RX	I2C4_SCL	DSMU_CKIN6	-	-	-	-	EVENTOUT	-
PF15	SDRAM_A9	SDRAM_B_A0	ETH2_MII_TXD3	FEMC_A9	DVP2_D9	-	LPTIM4_ETR	USART7_TX	FDCAN3_TX	I2C4_SDA	-	-	-	-	EVENTOUT	-

3.3.7 GPIO复用功能

表 3-8 GPIO 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PG0	SDRAM_A1_0	SDRAM_BA1	xSPI2_IO4	xSPI2_NCS_2	ETH2_MII_TX_CLK	FEMC_A10	DVP2_D10	ATIM4_BK1_N1	LPTIM4_IN1	UART13_RX		-	-	-	EVENTOUT	-
PG1	SDRAM_A1_1	SDRAM_A10	xSPI2_IO5	xSPI2_NCS_3	ETH2_MII_TX_ER	FEMC_A11	DVP2_D11	-	GTIMB1_ETR	LPTIM4_IN2	UART13_TX	-	-	-	EVENTOUT	-
PG2	SDRAM_A1_2	SDRAM_DQM1	ETH2_MII_RXD0/ETH2_RMII_RXD0	FEMC_A12	DVP2_D12	-	ATIM2_BK1_N1	GTIMA6_ETR	USART7_CTS/USART7_NSS	FDCAN8_TX		-	-	-	EVENTOUT	-
PG3	ETH2_MII_RXD1/ETH2_RMII_RXD1	FEMC_A1_3	DVP2_D13	-	ATIM2_BKIN2	GTIMA5_ETR	USART7_DE/USART7_RTS	FDCAN8_RX		-	-	-	-	-	EVENTOUT	-
PG4	SDRAM_BA0	ETH2_MII_RXD2	SDMMC2_CK1_N	SDMMC2_D4	FEMC_A1_4	DVP2_D14	-	ATIM1_BK1_N2	USART6_CTS/USART6_NSS	I2C1_SDA	I2C8_SDA		-	-	EVENTOUT	-
PG5	SDRAM_BA1	-	ETH2_MII_RXD3	SDMMC2_CD1R	SDMMC2_D5	FEMC_A15	DVP2_D15	-	ATIM1_ETR	USART6_DE/USART6_RTS	I2C1_SCL	I2C8_SCL		-	EVENTOUT	-
PG6	-	ETH2_MII_RX_ER	FEMC_NE3	LCD_R7	DVP1_D12	-	GTIMB3_BK1	I2C1_SMB_A	I2C8_SMB_A		-	-	-	-	EVENTOUT	-
PG7	xSPI2_DQS	ETH1_PHY_INTN	FEMC_INT/FEMC_BUSY	LCD_CLK	DVP1_D13	-	USART4_CK	FDCAN7_TX	-	-	-	-	-	-	EVENTOUT	-
PG8	SDRAM_CLK	-	ETH1_PPS_OUT	LCD_G7	SPI4_NSS	I2S4_WS	ATIM2_ETR	USART4_DE/USART4_RTS	FDCAN7_RX		-	-	-	-	EVENTOUT	-
PG9	-	ETH2_MII_RXD0/ETH2_RMII_RXD0	SDMMC2_D0	FEMC_NC_E1/FEMC_NE2	DVP1_VSYNC	SPI1_MISO	I2S1_SD	USART4_RX	FDCAN3_TX		-	-	-	-	EVENTOUT	-
PG10	xSPI2_IO6	xSPI2_NCS4	ETH2_MII_RXD1/ETH2_RMII_RXD1	SDMMC2_D1	FEMC_NE3	LCD_B2	LCD_G3	DVP1_D2	SPI1_NSS	I2S1_WS	-	FDCAN3_RX		-	EVENTOUT	-
PG11	xSPI2_IO7	xSPI2_NCSIN	ETH1_MII_TXEN/ETH1_RMII_TXEN/ETH1_GMII_TXEN	SDMMC2_D2	LCD_B3	DVP1_D3	SPI1_SCK	I2S1_CK	LPTIM1_IN2	USART5_RX		-	-	-	EVENTOUT	-
PG12	xSPI2_NCS1	ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH1_GMII_TXD1	SDMMC2_D3	FEMC_NE4	LCD_B1	LCD_B4	DVP2_MCLK	SPI4_MISO	I2S4_SD	GTIMA5_C_H1	LPTIM1_IN1	USART4_DE/USART4_RTS	USART5_TX		EVENTOUT	-
PG13	ETH1_MII_TXD0/ETH1_RMII_TXD0/ETH1_GMII_TXD0	SDMMC2_D0DIR	SDMMC2_D6	FEMC_A24	LCD_R0	SPI4_SCK	I2S4_CK	GTIMA5_C_H2	LPTIM1_OUT	USART4_CTS/USART4_NSS	USART5_CTS/USART5_NSS		-	-	EVENTOUT	TRACED0
PG14	-	ETH1_MII_TXD1/ETH1_RMII_TXD1/ETH1_GMII_TXD1	SDMMC2_D123DIR	SDMMC2_D7	FEMC_A25	LCD_B0	SPI4_MOSI	I2S4_SD_EXT	GTIMA5_C_H3	LPTIM1_ETR	USART4_TX	USART5_DE/USART5_RTS		-	EVENTOUT	TRACED1
PG15	SDRAM_NCAS	xSPI2_DQS	ETH1_PHY_INTN	SDMMC2_RST	DVP1_D13	USART4_CTS/USART4_NSS	USART5_CK	SDRAM_D14			-	-	-	-	EVENTOUT	-

3.3.8 GPIOH复用功能

表 3-9 GPIOH 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PH0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	-
PH1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT	-
PH2	SDRAM_CKE0	-	-	xSPI2_IO4	ETH1_MII_CRS/ETH1_GMII_CRS	LCD_R0	-	GTIMB3_C H2	LPTIM1_IN2	UART15_RX	-	-	-	-	EVENTOUT	-
PH3	SDRAM_NCE0	-	xSPI2_IO5	ETH1_MII_COL/ETH1_GMII_COL	LCD_R1	-	GTIMB3_C H3	USART7_CK	UART15_TX	-	-	-	-	-	EVENTOUT	-
PH4	ETH2_MII_TXD0/ETH2_RMII_TXD0	LCD_G4	LCD_G5	DVP2_HSYNC	-	GTIMB3_C H4	USART7_RX	UART15_DE/UART15_RTS	FDCAN5_TX	I2C2_SCL	-	-	-	-	EVENTOUT	-
PH5	SDRAM_NWE	ETH2_MII_TXD1/ETH2_RMII_TXD1	DVP2_PIXCLK	SPI5_NSS	-	GTIMB3_ETR	USART7_TX	UART15_CTS	FDCAN5_RX	I2C2_SDA	-	-	-	-	EVENTOUT	-
PH6	SDRAM_NCE1	SDRAM_A4	ETH1_MII_RXD2/ETH1_GMII_RXD2	FEMC_BAA	DVP1_D8	SPI5_SCK	ATIM1_CH4N	GTIMA7_C H1	LPTIM5_IN1	UART14_RX	FDCAN7_TX	I2C2_SMB_A	-	-	EVENTOUT	-
PH7	SDRAM_CKE1	ETH1_MII_RXD3/ETH1_GMII_RXD3	FEMC_CRE	DVP1_D9	SPI5_MISO	ATIM3_BK1N1	LPTIM5_IN2	UART14_TX	FDCAN7_RX	I2C3_SCL	SDRAM_A5	-	-	-	EVENTOUT	-
PH8	SDRAM_D16	SDRAM_A6	ETH1_GMII_RXD4	FEMC_D16	LCD_R2	DVP1_HSYNC	ATIM3_CH1	GTIMA4_ETR	UART10_DE/UART10_RTS	UART14_DE/UART14_RTS	FDCAN2_RX	I2C3_SDA	COMP4_OUT	-	EVENTOUT	-
PH9	SDRAM_D17	ETH1_GMII_RXD5	FEMC_D17	LCD_R3	DVP1_D0	ATIM3_CH1N	GTIMA7_C H2	UART10_CTS	UART14_CTS	FDCAN2_TX	I2C3_SMB_A	SDRAM_A7	-	-	EVENTOUT	-
PH10	SDRAM_D18	SDRAM_A8	ETH1_GMII_RXD6	FEMC_D18	LCD_R4	DVP1_D1	ATIM3_CH2	GTIMA4_C H1	I2C4_SMB_A	-	-	-	-	-	EVENTOUT	-
PH11	SDRAM_D19	ETH1_GMII_RXD7	FEMC_D19	LCD_R5	DVP1_D2	ATIM3_CH2N	GTIMA4_C H2	UART10_RX	I2C4_SCL	SDRAM_A9	-	-	-	-	EVENTOUT	-
PH12	SDRAM_D20	SDRAM_A11	ETH2_MII_RX_DV/ETH2_RMII_CRS_DV	FEMC_D20	LCD_R6	DVP1_D3	SPI7_NSS	ATIM3_ETR	GTIMA4_C H3	UART10_TX	I2C4_SDA	COMP4_OUT	-	-	EVENTOUT	-
PH13	SDRAM_D21	ETH2_MII_TX_EN/ETH2_RMII_TX_EN	FEMC_D21	LCD_G2	SPI7_NSS	ATIM2_CH1N	UART9_TX	FDCAN1_TX	I2C9_SMB_A	-	-	-	-	-	EVENTOUT	-
PH14	SDRAM_D22	ETH2_MII_TXD0/ETH2_RMII_TXD0	FEMC_D22	LCD_G3	DVP1_D4	SPI7_MISO	ATIM2_CH2N	USART6_RX	UART9_RX	FDCAN1_RX	I2C9_SDA	-	-	-	EVENTOUT	-
PH15	SDRAM_D23	-	ETH2_MII_TXD1/ETH2_RMII_TXD1	FEMC_D23	LCD_G4	DVP1_D11	SPI7_MOSI	ATIM2_CH3N	USART6_TX	I2C9_SCL	-	-	-	-	EVENTOUT	-

3.3.9 GPIOI复用功能

表 3-10 GPIOI 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PI0	SDRAM_D2_4	FEMC_D24	LCD_G5	DVP1_D13	SPI2_NSS	I2S2_WS	ATIM2_CH4N	GTIMA4_C4H	I2C10_SDA		-	-	-	-	EVENTOUT	-
PI1	SDRAM_D2_5	SDRAM_D8	ETH2_MII_RXD0	FEMC_D25	LCD_G6	DVP1_D8	SPI2_SCK	I2S2_CK	ATIM2_BK1N2	USART8_CK	I2C8_SMB_A	I2C10_SCL		-	EVENTOUT	-
PI2	SDRAM_D2_6	ETH2_MII_RXD1	FEMC_D26	LCD_G7	DVP1_D9	SPI2_MISO	I2S2_SD	ATIM2_CH4	USART8_RX	LPUART2_TX	I2C8_SDA	SDRAM_D9		-	EVENTOUT	-
PI3	SDRAM_D2_7	SDRAM_D10	ETH2_MII_RX_ER	FEMC_D27	DVP1_D10	SPI2_MOSI	I2S2_SD_EXT	ATIM2_ETR	USART8_TX	LPUART2_RX	I2C8_SCL	I2C10_SMB_A		-	EVENTOUT	-
PI4	SDRAM_D_QM2	xSPI2_NCS2	ETH1_GMII_TXD4	FEMC_NBL2	LCD_B4	DVP1_D5	DVP2_D8	ATIM2_BK1N1	USART8_RX	I2C10_SMB_A	SDRAM_D0		-	-	EVENTOUT	-
PI5	SDRAM_D_QM3	SDRAM_D1	xSPI2_NCS3	ETH1_GMII_TXD5	FEMC_NBL3	LCD_B5	DVP1_VSYN_C	DVP2_D9	ATIM2_CH1	USART8_TX	I2C10_SDA		-	-	EVENTOUT	-
PI6	SDRAM_D2_8	xSPI2_NCS4	ETH1_GMII_TXD6	FEMC_D28	LCD_B6	DVP1_D6	DVP2_D10	ATIM2_CH2	USART8_CK	I2C10_SCL	SDRAM_D2		-	-	EVENTOUT	-
PI7	SDRAM_D2_9	SDRAM_D3	xSPI2_NCS1N	ETH1_GMII_TXD7	FEMC_D29	LCD_B7	DVP1_D7	DVP2_D11	ATIM2_CH3		-	-	-	-	EVENTOUT	-
PI8	ETH2_MII_TX_CLK	SDMMC1_SEL	SDMMC2_SEL	SPI7_SCK	LPTIM3_IN1	FDCAN1_TX		-	-	-	-	-	-	-	EVENTOUT	RTC_OUT2
PI9	SDRAM_D3_0	xSPI2_IO0	FEMC_D30	LCD_VSYN_C	-	GTIMA7_C_H3	LPTIM3_IN2	UART9_RX	FDCAN1_RX	I2C9_SMB_A	SDRAM_D6		-	-	EVENTOUT	-
PI10	SDRAM_D3_1	SDRAM_D7	xSPI2_IO1	ETH1_MII_RX_ER	FEMC_D31	LCD_HSYN_C	GTIMA7_C_H4	LPTIM3_ETR	FDCAN4_TX	I2C9_SDA		-	-	-	EVENTOUT	-
PI11	xSPI2_IO2	SDMMC1_LEDCTRL	SDMMC2_LEDCTRL	FEMC_D0	LCD_G6	GTIMA7_ETR	FDCAN4_RX	I2C9_SCL		-	-	-	-	-	EVENTOUT	-
PI12	xSPI2_IO3	FEMC_A4	LCD_HSYN_C	DVP2_D2	SPI7_NSS	GTIMA7_C_H3	FDCAN6_TX	I2C7_SDA	-	-	-	-	-	-	EVENTOUT	-
PI13	xSPI2_CLK	FEMC_A7	LCD_VSYN_C	DVP2_D3	SPI7_MISO	GTIMA7_C_H4	FDCAN6_RX	I2C7_SCL	-	-	-	-	-	-	EVENTOUT	-
PI14	xSPI2_NCLK	FEMC_A9	LCD_CLK	DVP2_D4	SPI7_MOSI	ATIM3_BK1N2	GTIMA7_ETR	I2C7_SMB_A	-	-	-	-	-	-	EVENTOUT	-
PI15	ETH2_PPS_OUT	LCD_G2	LCD_R0	DVP2_D13	ATIM3_BK1N2	GTIMB3_ETR	-	-	-	-	-	-	-	-	EVENTOUT	-

3.3.10 GPIOJ复用功能

表 3-11 GPIOJ 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PJ0	ETH2_MII_TXD2	LCD_R1	LCD_R7	-	ATIM4_ETR	GTIMB3_CH1N	UART15_RX	FDCAN8_TX	I2C9_SDA		-	-	-	-	EVENTOUT	-
PJ1	xSPI2_IO4	ETH2_MII_TXD3	LCD_R2	DVP2_VSYNC	SPI7_SCK	ATIM4_CH1	GTIMB3_CH1P	UART15_TX	FDCAN8_RX	I2C9_SCL		-	-	-	EVENTOUT	-
PJ2	xSPI2_IO5	LCD_R3	DVP1_D15	SPI7_NSS	ATIM4_CH1N	GTIMB3_CH2	UART15_RTS	I2C9_SMB_A		-	-	-	-	-	EVENTOUT	-
PJ3	ETH2_MII_RX_DV	LCD_R4	DVP1_D14	SPI7_MISO	ATIM4_CH2	GTIMB3_CH3	UART13_RTS	UART15_CTS	FDCAN7_TX	I2C9_SDA		-	-	-	EVENTOUT	-
PJ4	ETH2_MII_RX_CLK	LCD_R5	DVP1_D13	SPI7_MOSI	ATIM4_CH2N	GTIMB3_CH4	UART13_CTS	FDCAN7_RX	I2C9_SCL		-	-	-	-	EVENTOUT	-
PJ5	ETH2_MII_TX_ER	LCD_R6	DVP1_D9	-	ATIM4_BK1N2	LPTIM5_ETR		-	-	-	-	-	-	-	EVENTOUT	-
PJ6	FEMC_D2	LCD_R7	DVP2_D8	ATIM2_CH2	FDCAN7_TX	-	-	-	-	-	-	-	-	-	EVENTOUT	-
PJ7	FEMC_D3	LCD_G0	DVP2_D9	ATIM2_CH2N	FDCAN7_RX	-	-	-	-	-	-	-	-	-	EVENTOUT	TRGIN
PJ8	ETH2_MII_RXD2	LCD_G1	DVP2_D10	ATIM1_CH3N	ATIM2_CH1	USART8_CTS	UART12_TX	UART14_RTS	FDCAN8_TX	I2C8_SDA		-	-	-	EVENTOUT	-
PJ9	ETH2_MII_RXD3	LCD_G2	DVP2_D11	ATIM1_CH3	ATIM2_CH1N	USART8_RTS	UART12_RX	UART14_CTS	FDCAN8_RX	I2C8_SCL		-	-	-	EVENTOUT	-
PJ10	FEMC_D5/FEMC_DA5	LCD_G3	DVP2_D12	SPI5_MOSI	ATIM1_CH2N	ATIM2_CH2	UART12_CTS	UART14_RX	I2C8_SMB_A		-	-	-	-	EVENTOUT	-
PJ11	FEMC_D6/FEMC_DA6	LCD_G4	DVP2_D13	SPI5_MISO	ATIM1_CH2	ATIM2_CH2N	UART12_RTS	UART14_TX		-	-	-	-	-	EVENTOUT	-
PJ12	SDMMC1_SEL	FEMC_BA_A	LCD_B0	LCD_G3	DVP2_D15	ATIM4_CH3	I2C10_SMB_A		-	-	-	-	-	-	EVENTOUT	TRGOUT
PJ13	SDMMC2_SEL	FEMC_NBL0	LCD_B1	LCD_B4	DVP2_D14	ATIM4_CH3N	I2C10_SDA		-	-	-	-	-	-	EVENTOUT	-
PJ14	FEMC_CRE	LCD_B2	DVP2_D13	ATIM4_CH4	I2C10_SCL	-	-	-	-	-	-	-	-	-	EVENTOUT	-
PJ15	FEMC_BA_A	LCD_B3	DVP2_D12	ATIM4_CH4N		-	-	-	-	-	-	-	-	-	EVENTOUT	-

3.3.11 GPIOK复用功能

表 3-12 GPIOK 复用功能

Port	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PK0	ETH2_MII_COL	LCD_G5	DVP2_D7	SPI5_SCK	ATIM1_CH1N	ATIM2_CH3	I2C3_SCL	-	-	-	-	-	-	-	EVENTOUT	-
PK1	ETH2_MII_CRS	LCD_G6	DVP2_D6	SPI5_NSS	ATIM1_CH1	ATIM2_CH3N	I2C3_SDA	-	-	-	-	-	-	-	EVENTOUT	-
PK2	FEMC_A11	LCD_G7	DVP2_D5	ATIM1_BK1N1	ATIM2_BK1N1	I2C3_SMB_A	-	-	-	-	-	-	-	-	EVENTOUT	-
PK3	xSPI2_IO6	FEMC_D7	LCD_B4	DVP2_D0	ATIM4_BK1N2	I2C10_SDA	-	-	-	-	-	-	-	-	EVENTOUT	-
PK4	xSPI2_IO7	FEMC_D9	LCD_B5	DVP2_D1	GTIMA6_C_H1	I2C10_SCL	-	-	-	-	-	-	-	-	EVENTOUT	-
PK5	xSPI2_NCS1	FEMC_D11	LCD_B6	DVP2_D2	GTIMA6_C_H2	I2C10_SMB_A	-	-	-	-	-	-	-	-	EVENTOUT	-
PK6	xSPI2_DQS	FEMC_A12	LCD_B7	DVP2_D3	GTIMA6_C_H3	I2C10_SDA	-	-	-	-	-	-	-	-	EVENTOUT	-
PK7	-	FEMC_A15	LCD_DE	DVP2_D4	GTIMA6_C_H4	I2C10_SCL	-	-	-	-	-	-	-	-	EVENTOUT	-

4 电气特性

4.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

4.1.1 最小和最大数值

在每个表格下方的注解中说明为通过综合评估、设计仿真和/或工艺特性得到的数据，不会在生产线上进行测试；在综合评估的基础上，最小和最大值是通过样本测试后，取其平均值再加减三倍的标准分布(平均 $\pm 3\Sigma$)得到。

4.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^\circ\text{C}$ 和 $V_{DD}=3.3\text{V}$ ($2.3\text{V} \leq V_{DD} \leq 3.6\text{V}$ 电压范围)。这些数据仅用于设计指导而未经测试。

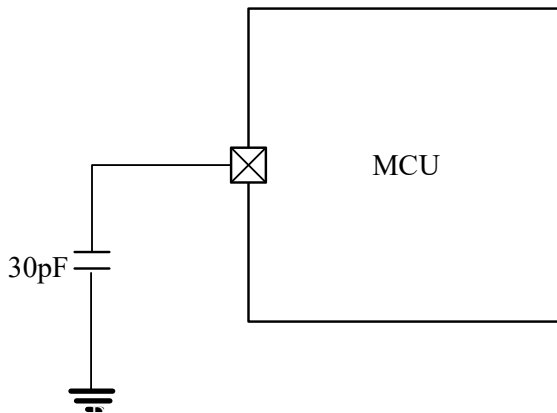
4.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

4.1.4 负载电容

测量引脚参数时的负载条件示于图 4-1 中。

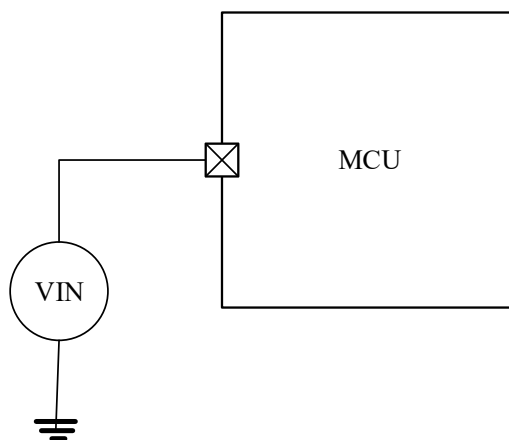
图 4-1 引脚的负载条件



4.1.5 引脚输入电压

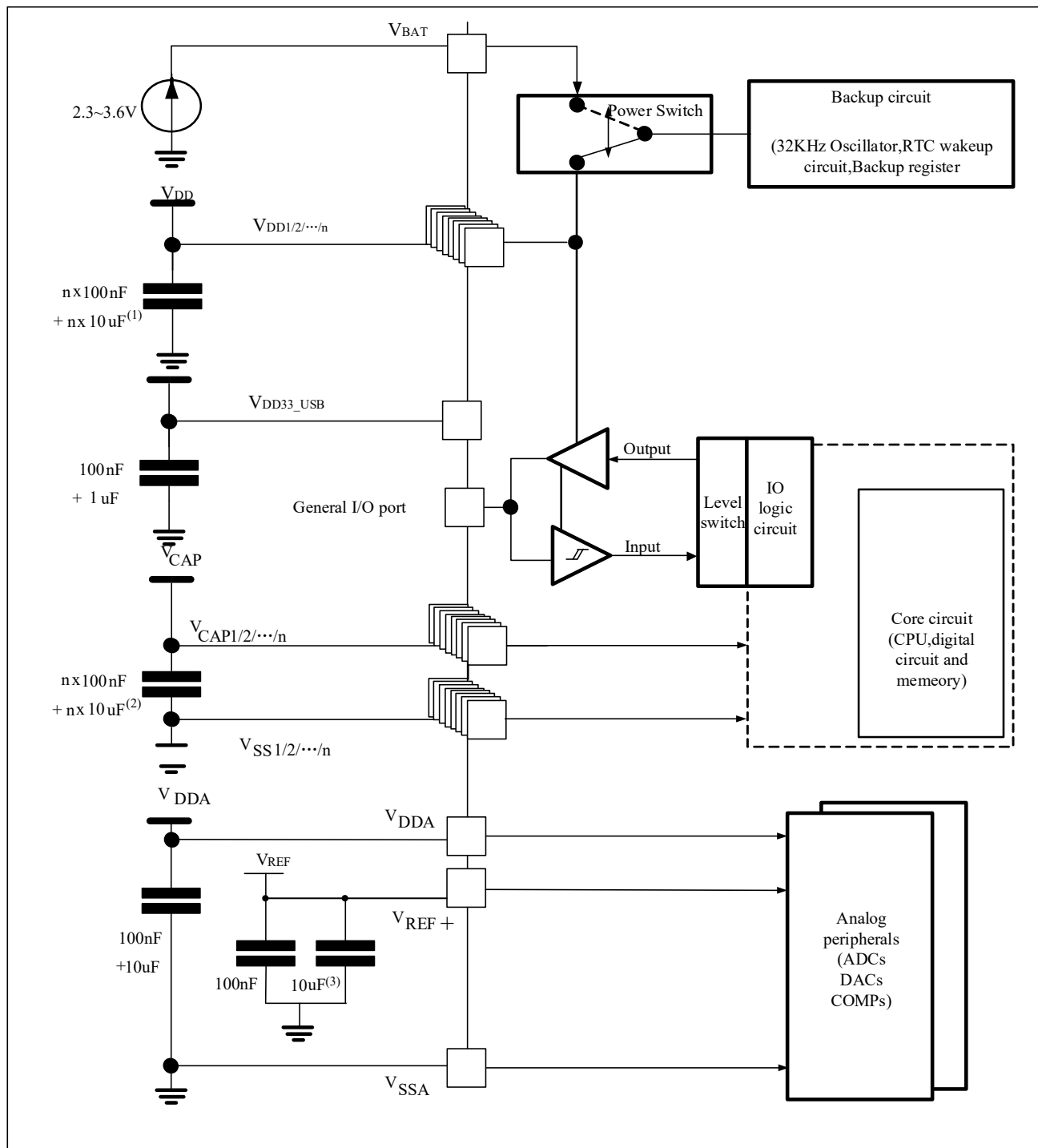
引脚上输入电压的测量方式示于图 4-2 中。

图 4-2 引脚输入电压



4.1.6 供电方案

图 4-3 供电方案

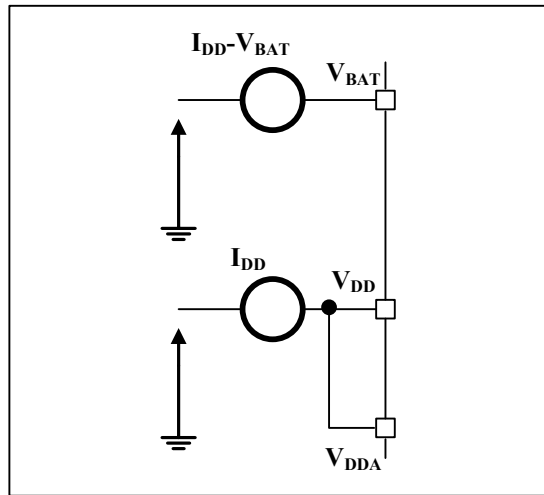


注：

1. 上图中的 $10\mu\text{F}$ 电容必须连接到指定 V_{DD} 。

4.1.7 电流消耗测量

图 4-4 电流消耗测量方案



4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 4-1、表 4-2、表 4-3)中给出的值，可能会导致器件永久性损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压特性

符号	描述	最小值	最大值	单位
V _{DD} - V _{SS}	外部主供电电压(包含V _{DDA} 和V _{DD}) ⁽¹⁾	-0.3	4.0	V
V _{IN}	在5V容忍的引脚上的输入电压 ⁽³⁾	V _{SS} -0.3	5.5	
	在其他引脚上的输入电压 ⁽²⁾	V _{SS} -0.3	V _{DD} + 0.3	
ΔV _{DDx}	不同供电引脚之间的电压差	-	50	mV
V _{SSx} - V _{SS}	不同接地引脚之间的电压差	-	50	
V _{ESD} (HBM)	ESD静电放电电压(人体模型)	见4.3.11 节		

- 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
- V_{IN} 不应超过其最大值，电流特性参考表 4-2。
- 当 5V 容忍引脚输入 5.5V， V_{DD} 不能低于 2.25V。

表 4-2 电流特性

符号	描述	最大值 ⁽¹⁾	单位
I_{VDD}	经过 V_{DD}/V_{DDA} 电源线的总电流(供应电流) ⁽¹⁾⁽⁴⁾	150	mA
$I_{VDDSMPS}$	经过 V_{DDSMPS} 电源线的总电流(供应电流) ⁽¹⁾⁽⁴⁾	700	
I_{VCAP}	经过 V_{CAP} 电源线的总电流 ⁽¹⁾⁽⁴⁾	1000	
I_{VSS}	经过 V_{SS} 地线的总电流(流出电流) ⁽¹⁾⁽⁴⁾	1150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	12	
	任意 I/O 和控制引脚上的输出电流	-12	
$I_{INJ(PIN)}^{(2)(3)}$	NRST 引脚的注入电流	-5/0	

	其他引脚的注入电流	+/-5	
--	-----------	------	--

1. 所有的电源(V_{DD} , V_{CAP} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须始终连接到外部允许范围内的供电系统上。
2. 当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。 $I_{INJ(PIN)}$ 不应超过其最大值, 电压特性参考表 4-1。
3. 反向注入电流会干扰器件的模拟性能。见第4.3.28节。
4. 发生最大电流时, 允许 V_{DD} 最大的压降为 $0.1V_{DD}$ 。

表 4-3 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	$-40 \sim +150$	$^{\circ}\text{C}$
T_J	最大结温度	125	$^{\circ}\text{C}$

4.3 工作条件

4.3.1 通用工作条件

表 4-4 通用工作条件

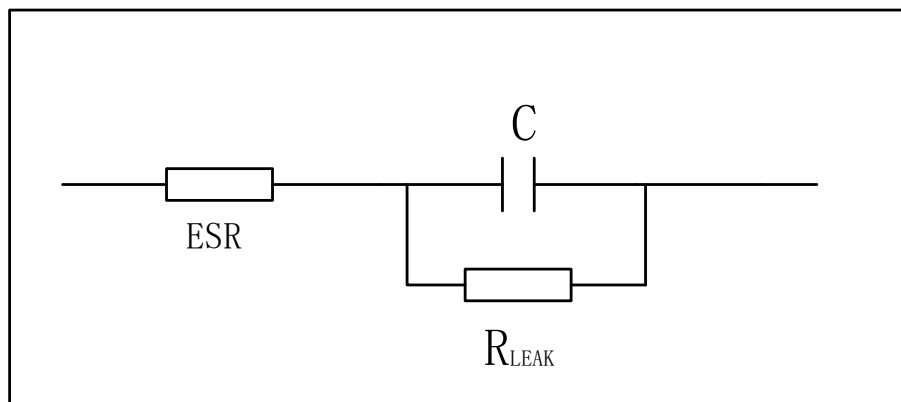
符号	参数	条件	最小值	最大值	单位
f_{CPU}	Arm® Cortex®-M7 时钟频率	$V_{CORE} = 0.9V$	-	600	MHz
f_{ACLK}	AXI 时钟频率	$V_{CORE} = 0.9V$	-	300	MHz
f_{HCLK}	AHB 时钟频率	$V_{CORE} = 0.9V$	-	300	MHz
f_{PCLK}	APB 时钟频率	$V_{CORE} = 0.9V$	-	150	
V_{DD}	标准工作电压	-	2.3	3.63	V
V_{DDA}	模拟部分工作电压	必须与 $V_{DD}^{(1)}$ 相同	2.3	3.63	V
V_{BAT}	备份部分工作电压	-	2.3	3.63	V
T_A	环境温度(温度标号 7)	最大功率消耗	-40	105	°C
T_J	结温度范围	温度 ⁷	-40	125	°C
VCAP	VCAP 电压	-	0.9	0.99	V

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间， V_{DDA} 需要小于或等于 V_{DD} 。

4.3.2 VCAP 外部电容

主稳压器的稳定可通过在 VCAP 引脚上连接外部电容器 C_{EXT} 到 VCAP 引脚来实现。表 4-5 指定了 C_{EXT} 。
VCAP 引脚可连接两个外部电容器。

图 4-5 外部电容 C_{EXT}



1. ESR 是等效串联电阻

表 4-5 VCAP 工作条件

符号	参数	条件
C_{EXT}	外部 LDO	22uF + 4 个 0.1uF
ESR	外部电容 ESR	< 100 mΩ

4.3.3 上电和掉电时的工作条件

下表中给出的参数是依据表 4-4 列出的环境温度(25 °C)下测试得出。

表 4-6 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	-	20	+∞	μs/V
	V _{DD} 下降速率		80	+∞	
t _{VCAP}	V _{CAP} 上升速率	-	100	+∞	μs/V
	V _{CAP} 下降速率		100	+∞	

1. 建议VCAP比VDD后掉电，即VDD掉电到1.45V以下VCAP再掉电。

4.3.4 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-4 列出的环境温度(25 °C)下和 V_{DD} 供电电压下测试得出。

表 4-7 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	AFEC_PR[3:0]=0101 (上升沿)	2.19	2.28	2.36	V
		AFEC_PR[3:0]=0101 (下降沿)	2.09	2.18	2.26	
		AFEC_PR[3:0]=0110 (上升沿)	2.28	2.38	2.46	
		AFEC_PR[3:0]=0110 (下降沿)	2.19	2.28	2.36	
		AFEC_PR[3:0]=0111 (上升沿)	2.36	2.48	2.56	
		AFEC_PR[3:0]=0111 (下降沿)	2.28	2.38	2.46	
		AFEC_PR[3:0]=1000 (上升沿)	2.46	2.58	2.66	
		AFEC_PR[3:0]=1000 (下降沿)	2.36	2.48	2.56	
		AFEC_PR[3:0]=1001 (上升沿)	2.56	2.68	2.76	
		AFEC_PR[3:0]=1001 (下降沿)	2.46	2.58	2.66	
		AFEC_PR[3:0]=1010 (上升沿)	2.66	2.78	2.86	
		AFEC_PR[3:0]=1010 (下降沿)	2.6	2.68	2.76	
		AFEC_PR[3:0]=1011 (上升沿)	2.8	2.88	2.96	
		AFEC_PR[3:0]=1011 (下降沿)	2.7	2.78	2.86	
		AFEC_PR[3:0]=1100 (上升沿)	3.2	3.28	3.36	
		AFEC_PR[3:0]=1100 (下降沿)	3.1	3.18	3.26	
		AFEC_PR[3:0]=1101 (上升沿)	3.28	3.38	3.46	
		AFEC_PR[3:0]=1101 (下降沿)	3.19	3.28	3.36	
		AFEC_PR[3:0]=1110 (上升沿)	3.38	3.48	3.56	
		AFEC_PR[3:0]=1110 (下降沿)	3.29	3.38	3.46	
		AFEC_PR[3:0]=1111 (上升沿)	3.49	3.58	3.66	

		AFEC_PR[3:0]=1111 (下降沿)	3.39	3.48	3.56	
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR}	VDD 上电复位阈值	-	-	1.65	-	V
V _{POR}	VDD 下电复位阈值	-	-	1.60	-	V
V _{PORhyst}	POR 迟滞	-	-	50	-	mV
V _{BOR}	BOR 上电/下电复位阈值	BOR_CFG[2:0]=011(上升沿)	2.45	2.5	2.55	V
		BOR_CFG[2:0]=011(下降沿)	2.35	2.4	2.45	
		BOR_CFG[2:0]=100(上升沿)	2.75	2.8	2.85	
		BOR_CFG[2:0]=100(下降沿)	2.65	2.7	2.75	
		BOR_CFG[2:0]=101(上升沿)	3.0	3.1	3.15	
		BOR_CFG[2:0]=101(下降沿)	2.9	3.0	3.05	
		BOR_CFG[2:0]=110(上升沿)	3.3	3.45	3.5	
		BOR_CFG[2:0]=110(下降沿)	3.2	3.35	3.4	
V _{AVD}	AVD 模拟电压检测	AFEC_ALS[3:0]=0110(上升沿)	2.28	2.38	2.46	V
		AFEC_ALS[3:0]=0110(下降沿)	2.19	2.28	2.36	
		AFEC_ALS[3:0]=0111(上升沿)	2.36	2.48	2.56	
		AFEC_ALS[3:0]=0111(下降沿)	2.28	2.38	2.46	
		AFEC_ALS[3:0]=1000(上升沿)	2.46	2.58	2.66	
		AFEC_ALS[3:0]=1000(下降沿)	2.36	2.48	2.56	
		AFEC_ALS[3:0]=1001(上升沿)	2.56	2.68	2.76	
		AFEC_ALS[3:0]=1001(下降沿)	2.46	2.58	2.66	
		AFEC_ALS[3:0]=1010(上升沿)	2.66	2.78	2.86	
		AFEC_ALS[3:0]=1010(下降沿)	2.6	2.68	2.76	
		AFEC_ALS[3:0]=1011(上升沿)	2.8	2.88	2.96	
		AFEC_ALS[3:0]=1011(下降沿)	2.7	2.78	2.86	
		AFEC_ALS[3:0]=1100(上升沿)	3.2	3.28	3.36	
		AFEC_ALS[3:0]=1100(下降沿)	3.1	3.18	3.26	
		AFEC_ALS[3:0]=1101(上升沿)	3.3	3.38	3.46	
		AFEC_ALS[3:0]=1101(下降沿)	3.2	3.28	3.36	
		AFEC_ALS[3:0]=1110(上升沿)	3.4	3.48	3.56	
		AFEC_ALS[3:0]=1110(下降沿)	3.3	3.38	3.46	
		AFEC_ALS[3:0]=1111(上升沿)	3.5	3.58	3.66	
		AFEC_ALS[3:0]=1111(下降沿)	3.4	3.48	3.56	

$T_{RSTTEMPO}^{(1)}$	复位持续时间	-	-	0.35	-	ms
----------------------	--------	---	---	------	---	----

1. 由设计保证，不在生产中测试。

4.3.5 内置的带隙基准电压

下表中给出的参数是依据表 4-4 列出的环境温度(25 °C)下和 V_{DD} 供电电压下测试得出。

表 4-8 内置的参照电压

符号	参数	条件	最小值	典型值	最大值	单位
V_{BG}	内置带隙基准电压	$-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$	1.164	1.2	$1.3^{(2)}$	V
$T_{S_BG}^{(1)}$	当读出内部带隙基准电压时，ADC 的采样时间	-	-	2	$17.1^{(2)}$	μs
ΔV_{BG}	全温范围内的内部电压漂移	$V_{DD} = 3.3\text{V}$ $-40^{\circ}\text{C} < T_J < +125^{\circ}\text{C}$	-	-	50	mV

1. 最短的采样时间是通过应用中的多次循环得到。
2. 由设计保证，不在生产中测试。

4.3.6 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见图 4-4。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

4.3.6.1 最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- TCM 存储器的访问时间调整到所能运行的最快频率
- 指令预取功能开启(提示：这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时：AXI、AHB、APB 时钟频率配置到最大。
- $V_{DD}=3.63V$ ，结温等于 $125^{\circ}C$ 。

表 4-9 和表 4-10 中给出的参数，是依据环境温度($25^{\circ}C$ 、 $85^{\circ}C$ 、 $105^{\circ}C$)下, V_{CAP} 和 V_{DD} 供电电压下测试得出。

表 4-9 运行模式下的电流消耗，代码在 ITCM 运行，使能 Cache

符号	参数	条件	f_{SYS}	$T_A = 25^{\circ}C$		$T_A = 85^{\circ}C$		$T_A = 105^{\circ}C$		单位
				I_{VCAP}	I_{VDD}	I_{VCAP}	I_{VDD}	I_{VCAP}	I_{VDD}	
$I_{DD}^{(1)}$	运行模式下的供应电流	外部时钟，使能所有外设， $V_{DD}=3.3V$, $V_{CAP}=0.9V$	600M	246.9	11.1	347.5	12.2	447.5	13.5	mA
			400M	207.8	11.0	280.9	12.0	375.1	13.1	
		外部时钟，关闭所有外设， $V_{DD}=3.3V$, $V_{CAP}=0.9V$	600M	128.3	6.3	213.4	6.9	279.0	7.2	
			400M	111.3	6.0	162.9	6.7	226.5	6.8	

1. 由综合评估得出，不在生产中测试。

表 4-10 睡眠模式下的电流消耗，代码在 ITCM 运行，禁能 Cache

符号	参数	条件	f_{SYS}	$T_A = 25^{\circ}C$		$T_A = 85^{\circ}C$		$T_A = 105^{\circ}C$		单位
				I_{VCAP}	I_{VDD}	I_{VCAP}	I_{VDD}	I_{VCAP}	I_{VDD}	
$I_{DD}^{(1)}$	睡眠模式下的	外部时钟，使能所有外设， $V_{DD}=3.3V$, $V_{CAP}=0.9V$	600M	246.4	11.0	322.1	12.9	420.6	14.6	mA
			400M	171.1	10.3	242.4	11.6	334.5	13.5	

	供应 电流	外部时钟, 关闭 所有外设, VDD=3.3V, V _{CAP} =0.9V	600M	98.2	6.5	148.3	7.9	209.6	8.7	
			400M	70.3	5.8	118.9	6.3	178.0	7.6	

1. 由综合评估结果保证, 不在生产中测试。

4.3.6.2 低功耗模式电流消耗

MCU 处于下列条件:

- 所有的 I/O 引脚都处于输入模式, 并连接到一个静态电平上——V_{DD} 或 V_{SS}(无负载)。
- 所有的外设都处于关闭状态, 除非特别说明。

表 4-11 停机和待 机模式下的电 流消耗符号	参数	条件	T _A =25°C		T _A =85°C		T _A =105°C		单 位
			I _{VCAP}	I _{VDD}	I _{VCAP}	I _{VDD}	I _{VCAP}	I _{VDD}	
I _{DD} ⁽¹⁾	STOP0 模 式下的供 应电流	低速和高速内部 RC 振荡器和高速振荡器 处于关闭状态, 所有 GPIO 处于模拟状态	5.1	2.7	45.5	3.3	95.5	3.7	mA
	STANDB Y 模式下的 供应电 流	低速振荡器打开, RTC 打开, IWDG 关 闭, Backup SRAM 保持	0.43	0.32	3.37	0.69	6.70	1.06	
		低速振荡器打开, RTC 关闭, IWDG 关 闭, Backup SRAM 不保持	0.42	0.31	3.36	0.65	6.65	0.95	

1. 由综合评估结果保证, 不在生产中测试。

表 4-12 V_{BAT} 模式下的最大电流消耗

符号	参数	条件	$T_A = 25^{\circ}\text{C}$	$T_A = 85^{\circ}\text{C}$	$T_A = 105^{\circ}\text{C}$	单位
$I_{DD}^{(1)}$	V_{BAT} 模式下的供电电流	$V_{BAT}=3.3\text{V}$, LSE 关闭, RTC 关闭, IWDG 关闭, Backup SRAM 不保持	59.1	332.4	591.1	μA

1. 由综合评估结果保证, 不在生产中测试。

4.3.7 外部时钟源特性

4.3.7.1 高速外部时钟源（外部时钟）

从外部源生成高速外部用户时钟

旁路模式下，HSE 振荡器关闭，输入引脚为标准 I/O。

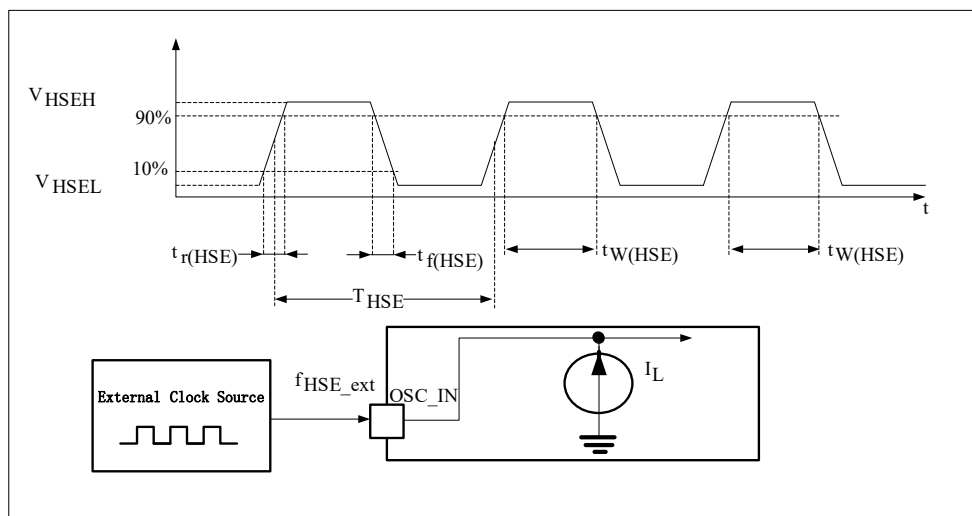
外部时钟信号必须符合表 4-13，推荐的时钟输入波形如图 4-6 所示。

表 4-13 高速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{HSE-ext}$	用户外部时钟频率 ⁽¹⁾	$V_{DD}=3.3V$, $T_A = -40 \sim 105^\circ C$	4	25	50	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾		7	-	-	ns

1. 由设计保证；.

图 4-6 外部高速时钟源的交流时序图



4.3.7.2 低速外部时钟源（LSE）

在旁路模式下，LSE 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须符合表 4-14 的规定，推荐的时钟输入波形如图 4-7 所示。.

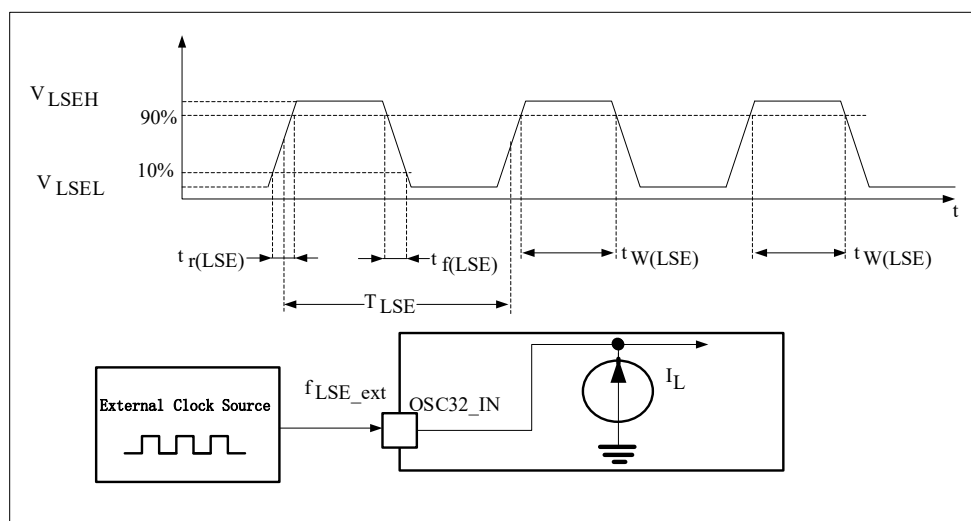
表 4-14 低速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSE-ext}$	用户外部时钟频率 ⁽¹⁾	$V_{DD}=3.3V$,	-	32.768	1000	KHz

V_{LSEH}	OSC32_IN 输入引脚高电平电压	$T_A = -40 \sim 105^{\circ}\text{C}$	0.7VDD	-	VDD	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压		Vss	-	0.3VDD	V
$t_{w(LSE)}$	OSC32_IN 高或低的时间 ⁽¹⁾		250	-	-	ns

1. 由设计保证。

图 4-7 外部低速时钟源的交流时序图



4.3.7.3 高速外部时钟源（外部晶振/陶瓷）

高速外部 (HSE) 时钟可由 4 至 48 MHz 晶体/陶瓷谐振器振荡器提供。本段给出的所有信息均基于下表中指定的典型外部元件的特性分析结果。在应用中，谐振器和负载电容器必须尽可能靠近振荡器引脚，以尽量减少输出失真和启动稳定时间。有关谐振器特性（频率、封装、精度）的更多详情，请咨询晶体谐振器制造商。

表 4-15 HSE 4~48MHz 振荡器特性⁽¹⁾

符号	参数	条件 ⁽²⁾	最小值	典型值	最大值	单位
f	振荡器频率	-	4	25	48	MHz
R	反馈电阻	-	-	200	-	K Ω
IDD _{HSE}	HSE 驱动电流	启动中 ⁽³⁾	-	-	4	mA
		VDD=3 V, Rm=30 Ω , CL=10 pF at 4 MHz, TRIM[2:0]=010	-	TBD	-	
		VDD=3 V, Rm=30 Ω , CL=10 pF at 4 MHz, TRIM[2:0]=100(默认)	-	TBD	-	
		VDD=3 V, Rm=30 Ω , CL=10 pF at 8 MHz, TRIM[2:0]=010	-	1.2	-	
		VDD=3 V, Rm=30 Ω , CL=10 pF at 8 MHz, TRIM[2:0]= 100(默认)	-	1.79	-	
		VDD=3 V, Rm=30 Ω , CL=10 pF at 16 MHz, TRIM[2:0]=010	-	1.5	-	

注意：对于 C_{L1} 和 C_{L2} ，建议使用高质量的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。

负载电容 CL 由下式计算： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和PCB板或PCB相关的电容。

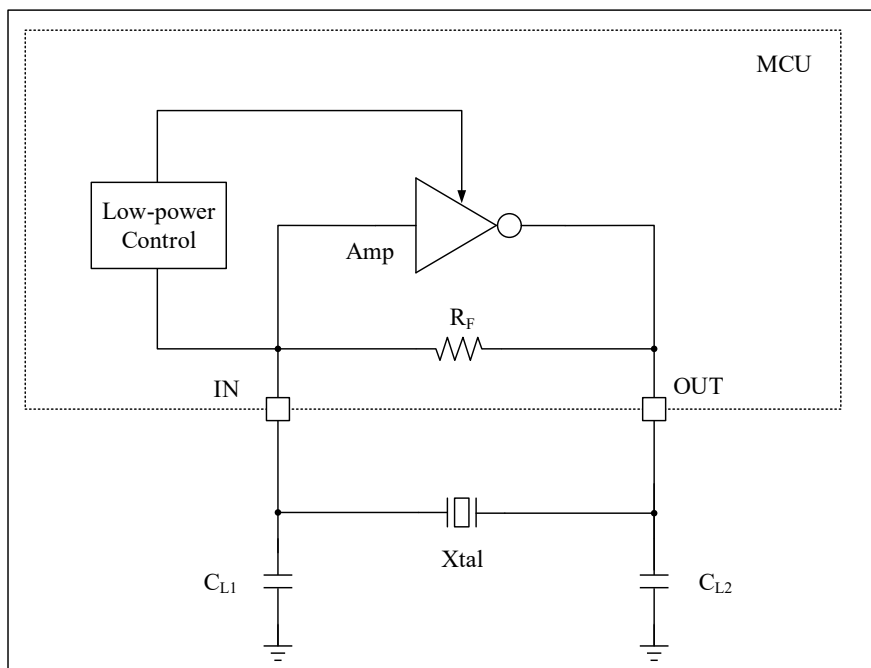
例如：如果选择了一个负载电容 $C_L=6pF$ 的谐振器并且 $C_{stray}=2pF$ ，则 $C_{L1}=C_{L2}=8pF$ 。

表 4-16 LSE 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f	振荡器频率	-	-	32.768	-	KHz
R	反馈电阻	-	-	100	-	KΩ
IDD _{LSE}	LSE 驱动电流	低驱动能力	-	300	-	nA
		中低驱动能力	-	400	-	
		中高驱动能力	-	550	-	
		高驱动能力	-	1000	-	
G _m _{critmax}	最大振荡器跨导	低驱动能力	-	-	0.5	uA/V
		中低驱动能力	-	-	1	
		中高驱动能力	-	-	2	
		高驱动能力	-	-	3	
tsu	启动时间	VDD 已稳定	-	2	-	s

1. 由综合评估保证，不在生产中测试。
2. tsu(LSE)是启动时间，是从软件使能LSE开始测量，直至得到稳定的32.768KHz振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

图 4-9 使用 32.768 kHz 晶体的典型应用



4.3.8 内部时钟源特性

表 4-17 至表 4-19 中给出的参数是根据表 4-4 概述的环境温度和 V_{DD} 电源电压条件下进行的测试得出的。

4.3.8.1 64MHz 高速内部振荡器(HSI64)

表 4-17 HSI64 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI64}	频率	$V_{DD}=3.3V$, $T_J=25\text{ degrees C}$, 校准后	63.68	64	64.32	MHz
TRIM	用户校准步长	-	-	0.5	-	%
USER TRIM COVERAGE	用户校准覆盖范围	$\pm 32\text{ steps}$	± 4.79	± 5.60	-	%
ACC_{HSI64}	HSI64 振荡器的精度	$V_{DD}=3.3V$, $T_J=-40\sim 125^\circ\text{C}$, 温度漂移和回流影响	-2	-	2	%
		$V_{DD}=3.3V$, $T_J=-20\sim 105^\circ\text{C}$, 温度漂移和回流影响	-1.5	-	1.5	%

$\Delta VDD(HSI48)$	HSI64 振荡器频率随 VDD 的漂移	VDD=3 to 3.6 V	-	0.025	0.05	%
		VDD=2.3 V to 3.6 V	-	0.05	0.1	
$t_{SU}(HSI64)$	HSI 振荡器启动时间	-	1	6	10	μs
$DuCy(HSI64)$	占空比	-	45	50	55	%
$I_{DD}(HSI64)$	HSI 振荡器功耗	-	-	250	350	μA
$P_T jitter$	相对于理想周期的抖动	-	-	50	-	ps

4.3.8.2 中速内部振荡器(MSI)

表 4-18 MSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	频率	VDD=3.3V, $T_J=25^{\circ}C$, 校准后, 默认 MSI=16MHz	15.84	16	16.16	MHz
TRIM	用户校准步长	-	-	0.175	-	%
USER TRIM COVERAGE	用户校准覆盖范围	$\pm 32 steps$	± 4.79	± 5.60	-	%
ACC_{MSI}	MSI 振荡器的精度	VDD=3.3V, $T_J=-40\sim 125^{\circ}C$, 温度漂移和回流影响	-2	-	2	%
		VDD=3.3V, $T_J=-20\sim 105^{\circ}C$, 温度漂移和回流影响	-1.5	-	1.5	%
$t_{SU}(MSI)$	MSI 振荡器启动时间	-	-	4	6	μs
$DuCy(MSI)$	占空比	-	45	50	55	%
$I_{DD}(MSI)$	MSI 振荡器功耗	-	-	150	200	μA

4.3.8.3 低速内部振荡器(LSI)

表 4-19 LSI 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	输出频率	25°C calibration, VDD =3.3V	31.36 ⁽¹⁾	32	32.64 ⁽¹⁾	KHz
		VDD =2.3V ~3.6V, T _J = -40~105°C	30.4 ⁽²⁾	32	33.6 ⁽²⁾	KHz
$t_{SU(LSI)}^{(3)}$	LSI 振荡器启动时间	-	-	70	120	μs
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	-	1.2	2.4	μA

1. 由生成测试保证；
2. 由特性分析结果保证；
3. 由设计保证；

4.3.9 从低功耗模式唤醒的时间

表 4-20 列出的唤醒时间是在一个 64MHz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- STOP0 或 STANDBY 模式：时钟源是 RC 振荡器
- SLEEP 模式：时钟源是进入 SLEEP 模式时所使用的时钟

所有的时间是使用环境温度(25 °C)和供电电压符合表 4-4 的条件测量得到

表 4-20 低功耗模式的唤醒时间

符号	参数	典型值 ⁽¹⁾	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	15	Cycles
$t_{WUSTOP0}$	从停机模式 0 唤醒	5.9	μs
$t_{WUSTDBY}$	从待机模式唤醒	11.82	μs

4.3.10 PLL特性

表 4-21 和表 4-22 列出的参数是使用环境温度(25 °C)和供电电压符合的表 4-4 条件测量得到。

4.3.10.1 PLL1/2/3 特性

表 4-21 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	4	25	64	MHz

	PLL 输入时钟占空比	40	50	60	%
f _{PLL_OUT}	PLL 倍频输出时钟	400	-	800	MHz
t _{LOCK}	PLL Ready 指示信号输出时间	-	-	150	μs
Jitter	Rms cycle-to-cycle jitter @800MHz	-	±4	-	ps
f _{VCO_OUT}	PLL VCO output	400	-	800	MHz
I _{PLL}	Operating Current of PLL @600MHz frequency.	-	2.5	-	mA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据PLL输入时钟频率使得f_{PLL_OUT}处于允许范围内。

4.3.10.2 SHRPLL 特性

表 4-22 SHRPLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值 ⁽¹⁾	
f _{SHRPLL_IN}	SHRPLL 输入时钟 ⁽²⁾	4	25	64	MHz
	SHRPLL 输入时钟占空比	40	50	60	%
f _{SHRPLL_OUT}	SHRPLL 倍频输出时钟	400	-	1250	MHz
t _{LOCK}	SHRPLL Ready 指示信号输出时间	10	62.5	125	μs
Jitter	Rms period jitter @1250MHz	-	±2	-	ps
I _{SHRPLL}	Operating Current of SHRPLL @1250MHz frequency.	-	4.8	-	mA

1. 由综合评估得出，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据SHRPLL输入时钟频率使得f_{SHRPLL_OUT}处于允许范围内。

4.3.11 绝对最大值(电气敏感性)

基于不同的测试(ESD, ES, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上。

表 4-23 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	T _A = +25 °C, 符合 MIL-STD-883K Method 3015.9	3A	2000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	T _A = +25 °C, 符合 ESDA/JEDEC JS-002-2018	C3	250	

1. 由综合评估得出，不在生产中测试。

静态栓锁(LU)

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的I/O引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

表 4-24 静态栓锁

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +105^{\circ}\text{C}$ ，符合 JESD 78E	II 类 A

1. 在常温条件下测试。

4.3.12 存储器特性

表 4-25 存储器特性

符号	参数	条件	最小值	单位
N_{END}	编程/擦除寿命	$T_J = -20 \sim +85^{\circ}\text{C}$	10	万次
		$T_J = -40 \sim +105^{\circ}\text{C}$	5	万次
t_{RET}	数据保持	$T_A = -40 \sim +125^{\circ}\text{C}$	10	年
t_{PROG}	页编程	$T_A = -40 \sim +125^{\circ}\text{C}$	1	ms
t_{ERASE}	扇区擦除(4K)	$T_A = -40 \sim +125^{\circ}\text{C}$	2	ms
	片擦除 (2M)	$T_A = -40 \sim +125^{\circ}\text{C}$	2000	ms

4.3.13 I/O端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 4-4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

表 4-26 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	$V_{\text{DD}}=3.3\text{V}$	2	-	V_{DD}	V
		$V_{\text{DD}}=2.3\text{V}$	1.7	-	V_{DD}	
V_{IL}	输入低电平电压	$V_{\text{DD}}=3.3\text{V}$	VSS	-	0.8	
		$V_{\text{DD}}=2.3\text{V}$	VSS	-	0.7	
V_{hys}	施密特触发器电压迟滞 ⁽¹⁾	$V_{\text{DD}}=3.3\text{V}$	200	-	-	mV
		$V_{\text{DD}}=2.3\text{V}$	165	-	-	
$V_{\text{IL sdram}}$	SDRAM IO	$V_{\text{DD}}=3.3\text{V}$	VSS	-	0.9	V

	输入低电平电压					
$V_{IH\ sdrum}$	SDRAM IO 输入高电平电压	$V_{DD}=3.3V$	2.3	-	V_{DD}	V
$V_{hys\ sdrum}$	SDRAM IO 施密特触发器电压 迟滞 ⁽¹⁾	$V_{DD}=3.3V$	200	-	-	V
I_{lkg}	输入漏电流 ⁽³⁾	$V_{DD}=\text{Maximum}$	-5	-	5	μA
		$V_{PAD}=0$ 或 $V_{PAD}=V_{DD}$ ⁽⁵⁾				
I_{fs}	输入漏电流 for FT GPIO ⁽³⁾	$V_{DD}=0, V_{PAD}=5.5V$	-	-	20	μA
R_{PU}	弱上拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3V, V_{IN}=V_{SS}$	16	-	61.4	$k\Omega$
		$V_{DD}=2.3\sim 3.3V, V_{IN}=V_{SS}$	16	-	142.6	$k\Omega$
R_{PD}	弱下拉等效电阻 ⁽⁴⁾	$V_{DD}=3.3V, V_{IN}=V_{DD}$	16	-	61.4	$k\Omega$
		$V_{DD}=2.3\sim 3.3V, V_{IN}=V_{DD}$	16	-	142.6	$k\Omega$
C_{IO}	I/O 引脚的电容	-	-	5	-	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 至少100mV。
3. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
4. 上拉和下拉电阻是设计为一个可开关的PMOS/NMOS实现。
5. V_{PAD} 是指 IO 管脚的输入电压。

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 12mA$ 电流。在用户应用中，I/O 脚的数目必须保证驱动电流不超过 4.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} (表 4-2)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} (表 4-2)。

输出电压

除非特别说明，表 4-29 列出的参数是使用环境温度(25 °C)和 V_{DD} 供电电压符合表 4-4 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 4-27 FT IO 驱动能力表⁽¹⁾

驱动等级	$I_{OH},$ $V_{DD}=3.3V$	$I_{OL},$ $V_{DD}=3.3V$	$I_{OH},$ $V_{DD}=2.3V$	$I_{OL},$ $V_{DD}=2.3V$	单位
2	2.7	3.3	1.9	2.3	mA

4	5.7	6.6	4.1	4.6	mA
8	11.2	13.3	8	9.3	mA
12	16.8	19.9	12.1	13.9	mA

1. 由设计保证，不在生产中测试。

表 4-28 TC IO 驱动能力表⁽¹⁾

驱动等级	I_{OH} , VDD=3.3V	I_{OL} , VDD=3.3V	I_{OH} , VDD=2.3V	I_{OL} , VDD=2.3V	单位
2	8.1	6.1	3.1	4.5	mA
4	16.2	12.2	6.2	9.1	mA
8	28.3	21.4	10.9	16	mA
12	44.1	33.5	17.2	25.2	mA

1. 由设计保证，不在生产中测试。

表 4-29 输出电压特性⁽³⁾

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平	$V_{DD}=3.3V$, $I_{OL}^{(4)}=2/4/8/12$	VSS	0.4	V
		$V_{DD}=2.3V$, $I_{OL}^{(4)}=2/4/8/12$	VSS	0.4	
$V_{OH}^{(2)}$	输出高电平	$V_{DD}=3.3V$, $I_{OH}^{(4)}=2/4/8/12$	2.4	V_{DD}	
		$V_{DD}=2.3V$, $I_{OH}^{(4)}=2/4/8/12$	2	V_{DD}	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表 4-2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表 4-2 中给出的绝对最大额定值，同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD} 。
3. 由综合评估得出，不在生产中测试。
4. 实际驱动能力见表 4-27。
5. PC13,PC14,PC15 不在此范围内。

输出缓冲时间特性

除非特别说明，表 4-30 和表 4-31 列出的参数是使用环境温度(25 °C)和供电电压符合表 4-4 的条件测量得到。

表 4-30 输出时间特性 (TC IO) ⁽¹⁾

PMOD E 配置	符号	参数	条件	最小值	最大值	单位
00	$F_{max}^{(2)}$	最大频率	$C=50\text{ pF}$, $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	19	MHz
			$C=50\text{ pF}$, $2.3\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	-	10	
			$C=30\text{ pF}$, $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	31	
			$C=30\text{ pF}$, $2.3\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	-	16	
			$C=10\text{ pF}$, $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	84	
			$C=10\text{ pF}$, $2.3\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	-	48	
	$t_r/t_f^{(3)}$		$C=50\text{ pF}$, $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	17.9	ns
			$C=50\text{ pF}$, $2.3\text{ V} \leq V_{DD} \leq 2.7\text{ V}$	-	33.5	

01	Fmax ⁽²⁾	最大频率	C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	11	MHz
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	20.6	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	4.1	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	7.7	
			C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	51	
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	32	
10	Fmax ⁽²⁾	最大频率	C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	85	MHz
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	45	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	222	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	118	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	6.6	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	9.9	
11	Fmax ⁽²⁾	最大频率	C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	4.1	ns
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	7.7	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	1.7	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	3.1	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	87	MHz
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	46	
11	Fmax ⁽²⁾	最大频率	C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	143	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	75	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	339	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	185	
11	Fmax ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	3.92	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	7.52	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	2.41	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	4.61	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	1.06	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ^v	-	1.98	
11	Fmax ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ^v	-	138	MHz
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	69	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ^v	-	215	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	122	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	467	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	260	
11	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	2.52	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	5.05	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	1.6	

		C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	2.9	
		C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	0.77	
		C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	1.385	

- 设计保证。
- 最高频率的定义条件如下：
 $(t_r+t_f) \leq 2/3 T$
偏斜 $\leq 1/20 T$
45%<占空比<55
- 下降时间和上升时间分别定义为输出波形的 90% 和 10% 之间，以及 10% 和 90% 之间。
- 启用补偿系统。

表 4-31 输出时间特性 (FT IO) ⁽¹⁾

PMODE 配置	符号	参数	条件	最小值	最大值	单位
00 Fast	F _{max} ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	13	MHz
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	6	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	20	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	10	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	46	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	24	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	26.4	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	48.8	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	17	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	31.1	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	7.7	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	13.6	
01 Fast	F _{max} ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	26	MHz
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	13	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	40	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	21	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	86	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	46	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V	-	13.2	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V	-	24.8	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V	-	8.6	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V	-	16.1	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V	-	4	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V	-	7.3	
10	F _{max} ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	50	MHz

			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	36	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	75	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	39	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	151	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	83	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	6.97	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	9.65	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	4.66	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	8.4	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	2.26	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ^v	-	4	
11 Fast	F _{max} ⁽²⁾	最大频率	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ^v	-	72	MHz
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	38	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ^v	-	106	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	56	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	202	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	113	
	t _r /t _f ⁽³⁾	输出高电平到低电平的下降时间和输出低电平到高电平的上升时间	C=50 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	4.82	ns
			C=50 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	8.9	
			C=30 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	3.28	
			C=30 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	5.93	
			C=10 pF, 2.7 V≤V _{DD} ≤3.6 V ⁽⁴⁾	-	1.65	
			C=10 pF, 2.3 V≤V _{DD} ≤2.7 V ⁽⁴⁾	-	2.98	

1. 由设计保证。
2. 最高频率的定义条件如下：
 $(t_r + t_f) \leq 2/3 T$
 偏斜 $\leq 1/20 T$
 $45\% < \text{占空比} < 55\%$
3. 下降时间和上升时间分别定义为输出波形的 90% 和 10% 之间，以及 10% 和 90% 之间。
4. 启用补偿系统。

图 4-10 输入输出交流特性定义

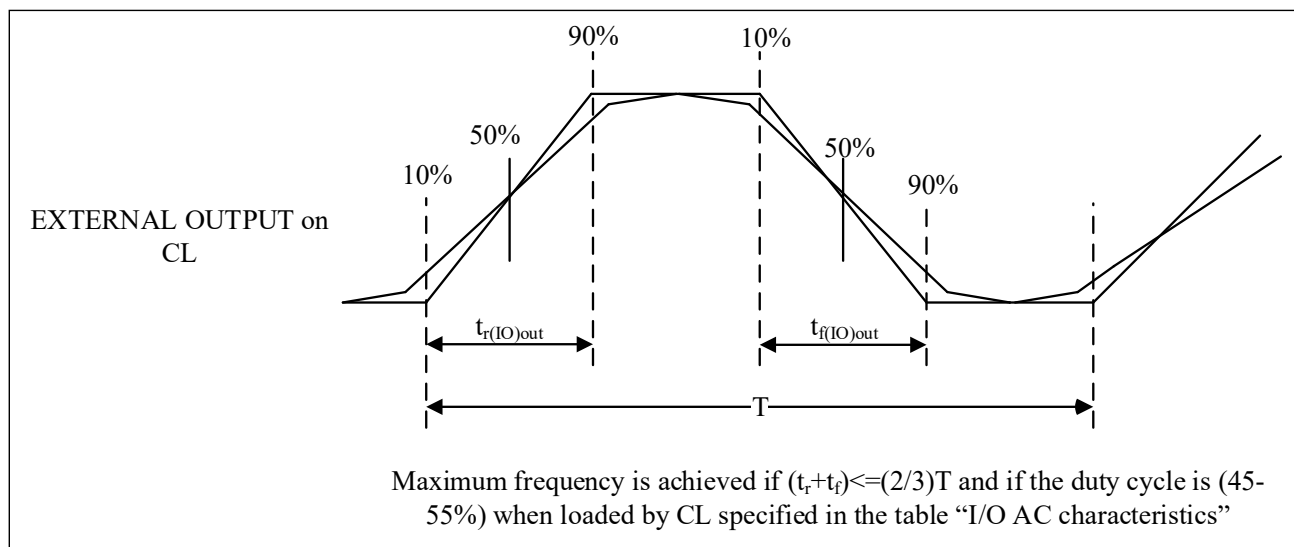
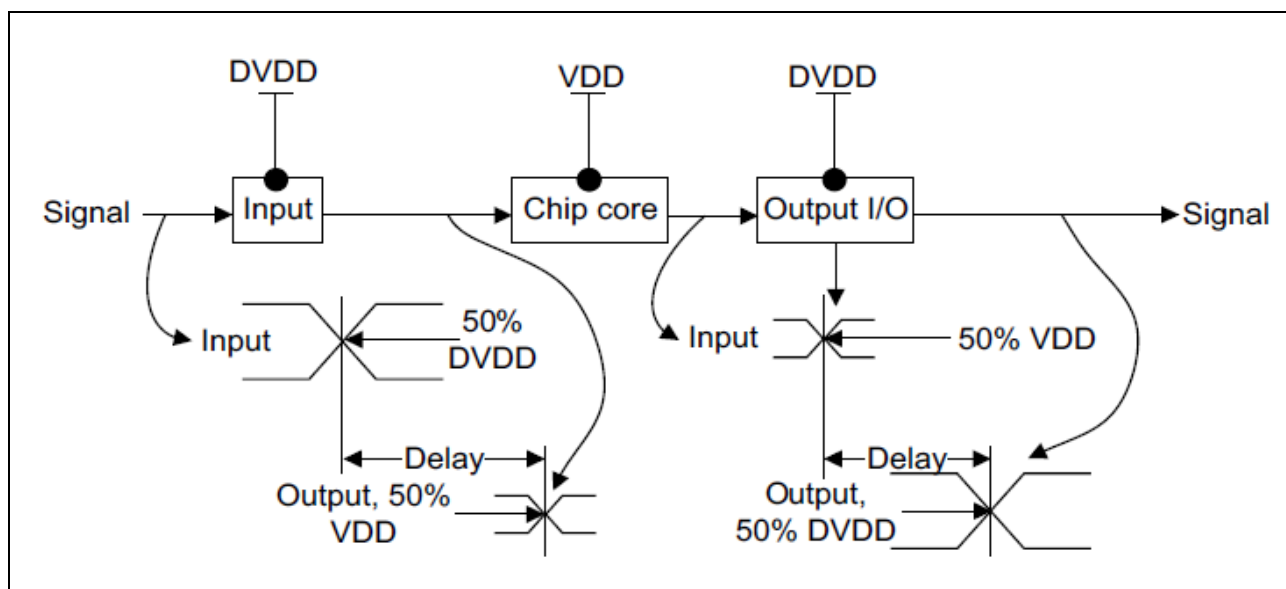


图 4-11 传输延迟



4.3.14 NRST引脚特性

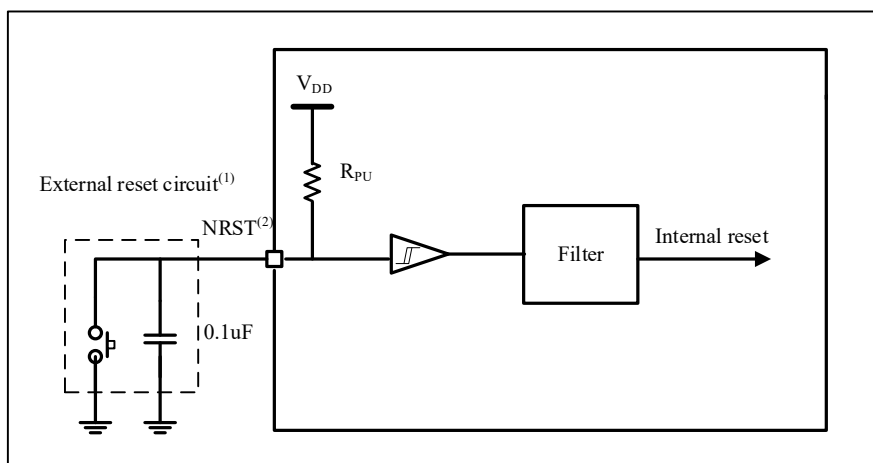
NRST 引脚输入驱动使用 CMOS 工艺，内部集成一个不能断开的上拉电阻，RPU(参见表 4-32)。除非特别说明，表 4-32 列出的参数是使用环境温度(25 °C)和供电电压符合表 4-4 的条件测量得到。

表 4-32 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}^{(1)}$	NRST 输入低电平电压	-	VSS	-	$0.3 * V_{DD}$	V
$V_{IH(NRST)}^{(1)}$	NRST 输入高电平电压	-	$0.7 * V_{DD}$	-	V_{DD}	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	70	-	mV
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$	30	50	70	k Ω
$V_{F(NRST)}^{(1)}$	NRST 输入滤波脉冲	$V_{DD}=3.3V$	-	-	100	ns
$V_{NF(NRST)}^{(1)}$	NRST 输入非滤波脉冲	$V_{DD}=3.3V$	300	-	-	ns

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的PMOS实现。这个PMON/NMOS开关的电阻很小(约占10%)。

图 4-12 建议的 NRST 引脚保护



1. 滤波作用。
2. 用户必须保证NRST引脚的电位能够低于表 4-32中列出的最大 $V_{IL(NRST)}$ 以下，否则MCU不能得到复位。

4.3.15 TIM定时器特性

表 4-33、表 4-34、表 4-35 和表 4-36 列出的参数由设计保证。

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情, 请见 4.3.13。

表 4-33 ATIM1/2/3/4 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	3.33	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 300MHz$	0	150	MHz
Re_{STIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	0.00333	218	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	-	14.3	s

1. 由设计保证, 不在生产中测试。

表 4-34 GTIMA1/2/3/4/5/6/7 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	3.33	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 300MHz$	0	150	MHz
Re_{STIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	0.00333	218	μs
t_{MAX_COUNT}	最大可能的计数	-	-	65536x65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	-	14.3	s

1. 由设计保证, 不在生产中测试。

表 4-35 GTIMB1/2/3 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	3.33	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 300MHz$	0	150	MHz
Re_{STIM}	定时器分辨率	-	-	16	bit
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 300MHz$	0.00333	218	μs

t _{MAX_COUNT}	最大可能的计数	-	-	65536x65536	t _{TIMxCLK}
		f _{TIMxCLK} = 300MHz	-	14.3	s

1. 由设计保证，不在生产中测试。

表 4-36 LPTIM1/2/3/4/5 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t _{res(TIM)}	定时器分辨时间	-	1	-	t _{TIMxCLK}
		f _{TIMxCLK} = 150MHz	6.67	-	ns
f _{EXT}	IN2 和 OUT 的定时器外部时钟频率	-	0	f _{TIMxCLK} /2	MHz
		f _{TIMxCLK} = 150MHz	0	75	MHz
Re _{TIM}	定时器分辨率	-	-	16	bit
t _{COUNTER}	当选择了内部时钟时，16 位计数器时钟周期	-	1	65536	t _{TIMxCLK}
		f _{TIMxCLK} = 150MHz	0.00667	437	μs
t _{MAX_COUNT}	最大可能的计数	-	-	128x65536	t _{TIMxCLK}
		f _{TIMxCLK} = 150MHz	-	55.9	ms

1. 由设计保证，不在生产中测试。

4.3.16 看门狗特性

表 4-37 IWDG 最大和最小计数复位时间 (LSI = 32 KHz)

预分频	PD[2:0]	最小时长RL[11:0]=0	最大时长RL[11:0]=0xFFFF	单位
/4	000	0.125	512	ms
/8	001	0.25	1024	
/16	010	0.5	2048	
/32	011	1.0	4096	
/64	100	2.0	8192	
/128	101	4.0	16384	
/256	11x	8.0	32768	

1. 由设计保证，不在生产中测试。

表 4-38 WWDG 最大和最小计数复位时间(PCLK1 = 150MHz)

预分频	TIMERB[1:0]	最小超时	最大超时	单位
/1	0	0.02728	445.54	ms
/2	1	0.05456	891.07	
/4	2	0.1088	1782.14	
/8	3	0.2184	3564.29	

1. 由设计保证，不在生产中测试。

4.3.17 I²C接口特性

除非特别说明，表 4-39 列出的参数是使用环境温度， f_{PCLK1} 频率和 V_{DD} 供电电压符合表 4-4 的条件测量得到。

该产品的 I²C 接口符合标准 I²C 通信协议，但有如下限制：SDA 和 SCL 不是“真”开漏的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

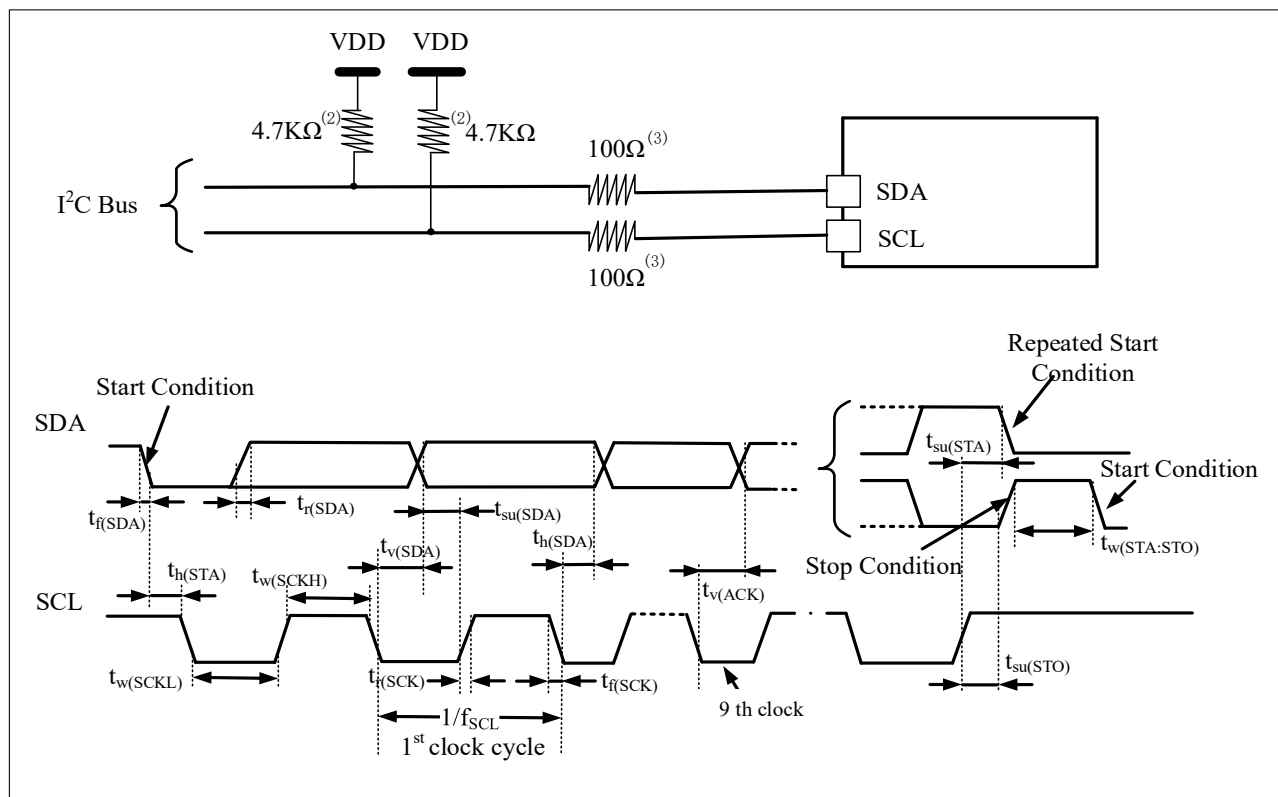
I²C 接口特性列于表 4-39，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 4.3.13 节。

表 4-39 I²C 接口特性⁽¹⁾

符号	参数	标准模式		快速模式		快速+模式		高速模式		单位
		最小	最大	最小	最大	最小	最大	最小	最大	
f_{SCL}	I2C 接口频率	0.0	100	0	400	0	1000	0	3400	KHz
$t_{h(STA)}$	开始条件保持时间	4.0	-	0.6	-	0.26	-	0.16	-	μs
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	0.5	-	0.16	-	μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	0.06	-	μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7	-	0.6	-	0.26	-	0.16	-	μs
$t_h(SDA)$	SDA 数据保持时间	0	-	0	-	0	-	0	-	μs
$t_{su(SDA)}$	SDA 建立时间	250	-	100	-	50	-	10	-	ns
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间	-	1000	20	300	-	120	10	SCL=40 SDA=80	ns
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间	-	300	-	300	-	120	10	SCL=40 SDA=80	ns
$t_{su(STO)}$	停止条件建立时间	4.0	-	0.6	-	0.26	-	0.16	-	μs
$t_{w(STO:STA)}$	停止条件至开始条件的时 间(总线空闲)	4.7	-	1.3	-	0.5	-	-	-	μs
C_b	每条总线的容性负载	-	400	-	400	-	400	-	400	pf
$t_v(SDA)$	数据有效时间	-	3.45	-	0.9	-	0.45	-	0.1	μs
$t_v(ACK)$	应答有效时间	-	3.45	-	0.9	-	0.45	-	0.1	μs
t_{SP}	输入滤波器需抑制的尖峰 脉冲宽度	0	Analog filter: 35ns. Digital filter: up to 15 I2CCLK period	0	Analog filter: 35ns. Digital filter: up to 15 I2CCLK period	0	Analog filter: 35ns. Digital filter: up to 15 I2CCLK period	0	Analog filter: 35ns. Digital filter: up to 15 I2CCLK period	ns

1. 由设计保证，不在生产中测试。

图 4-13 I²C 总线交流波形和测量电路⁽¹⁾



1. 测量点设置于CMOS电平：0.3V_{DD}和0.7V_{DD}。
2. 上拉电阻阻值取决于I2C接口速度。
3. 电阻值取决于实际电气特性，可以不连接串行电阻，信号线直连。

4.3.18 SPI/I2S接口特性

除非特别说明，表 4-40 列出的 SPI 参数和表 4-41 列出的 I2S 参数是使用环境温度(25℃)，f_{PCLKx} 频率和 V_{DD} 供电电压

符合表 4-4 的条件测量得到。

有关输入输出复用功能引脚(SPI 的 NSS、SCLK、MOSI、MISO，I2S 的 WS、CLK、SD)的特性详情，参见第 4.3.13 章节（IO 端口特性）。

表 4-40 SPI 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{SCK}	SPI 时钟频率	2.3<VDD<3.6 V	-	-	50	MHz
t _{su} (NSS) ⁽¹⁾	NSS 建立时间	从模式	2	-	-	-
t _h (NSS) ⁽¹⁾	NSS 保持时间	从模式	1	-	-	

$t_{w(SCKH)}^{(1)}$ $t_{w(SCKL)}^{(1)}$	SCK 高和低的时间	主模式	$T_{\text{pelk-2}}$	T_{pelk}	$T_{\text{pelk}+2}$	ns
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	1	-	-	
$t_{su(SI)}^{(1)}$		从模式	1	-	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间	主模式	4	-	-	
$t_{h(SI)}^{(1)}$		从模式	2	-	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式	9	13	27	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	0	1	5	
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式 2.7<VDD<3.6 V	-	12.5	16	
$t_{v(MO)}^{(1)}$		从模式 2.3<VDD<3.6 V	-	12.5	17	
		主模式	-	1	3	
$t_{h(SO)}^{(1)}$	数据输出保持时间	从模式 2.3<VDD<3.6 V	10	-	-	
$t_{h(MO)}^{(1)}$		主模式	0	-	-	

1. 由设计保证，不在生产中测试。
2. 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图 4-14 SPI 时序图 – 从模式和 CLKPHA=0

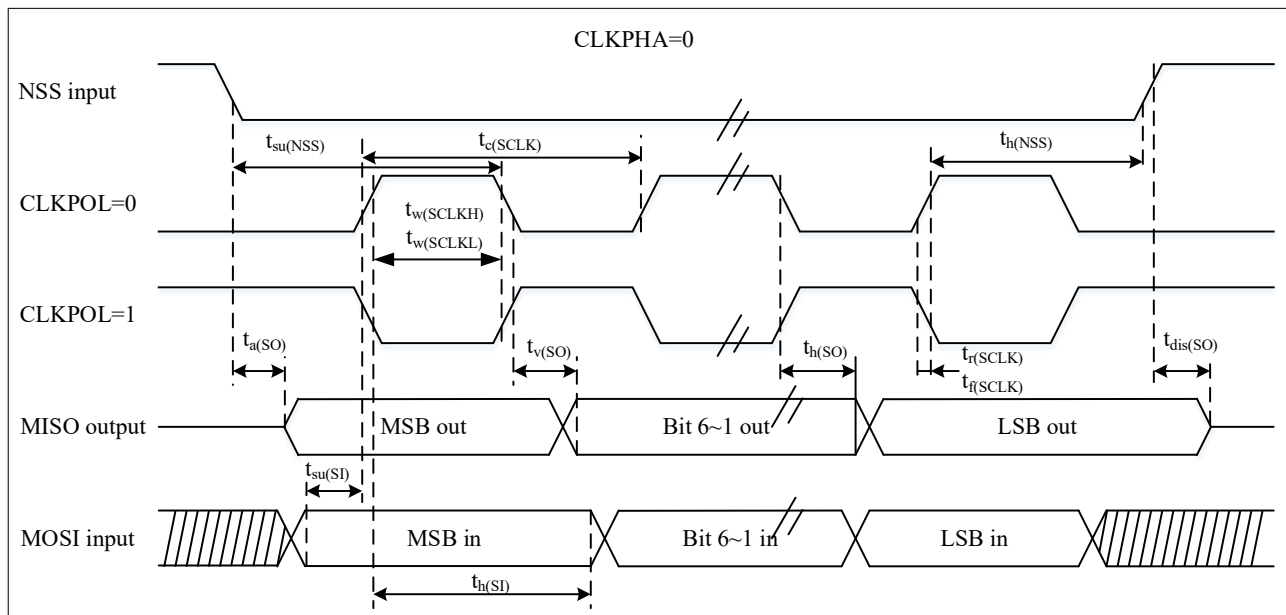
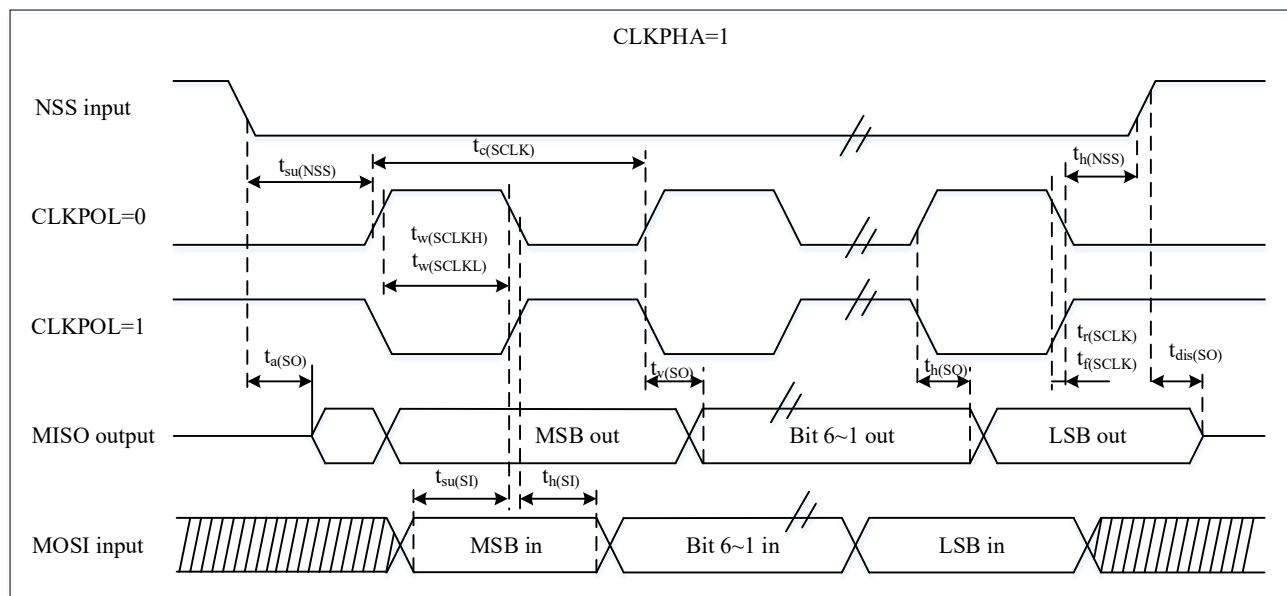
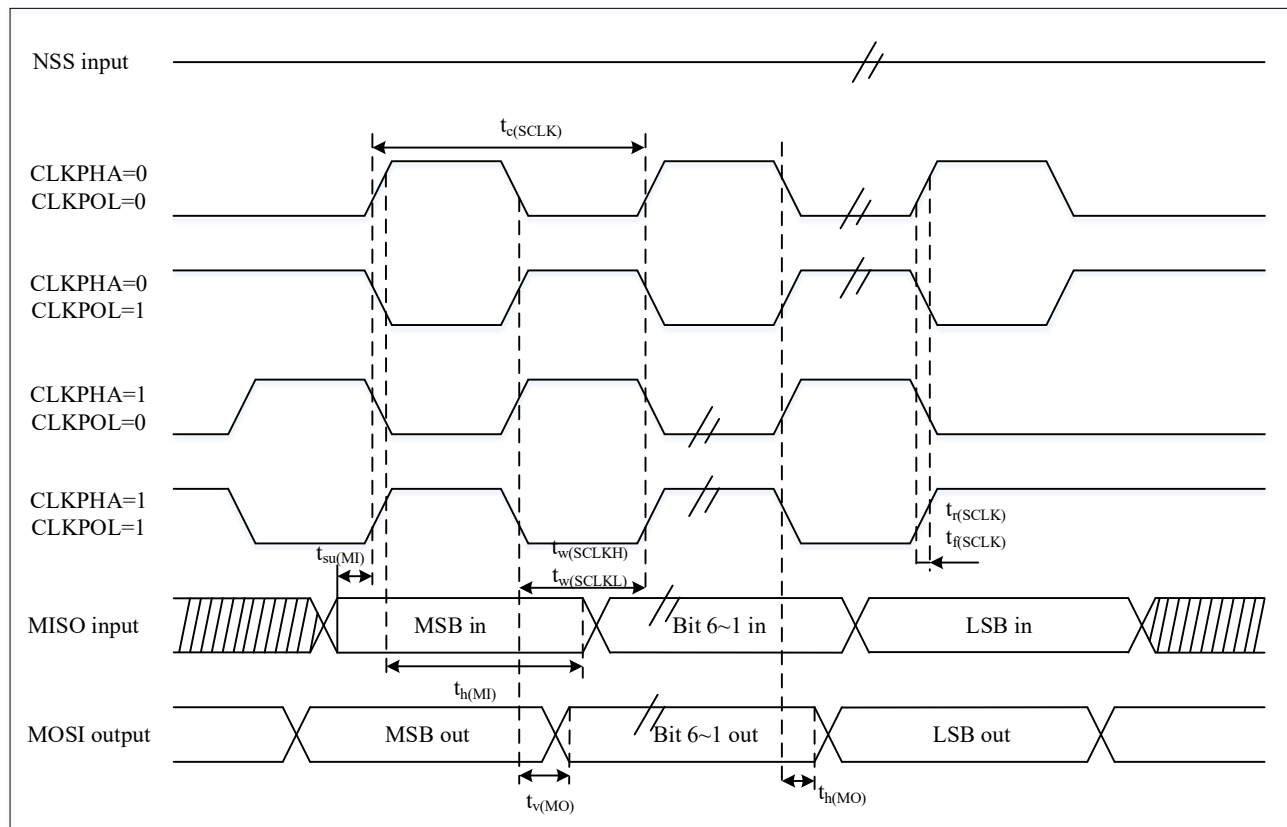


图 4-15 SPI 时序图 — 从模式和 CLKPHA=1⁽¹⁾



1. 测量点设置于0.5V_{DD}，外部C_L为30pF。

图 4-16 SPI 时序图 — 主模式⁽¹⁾

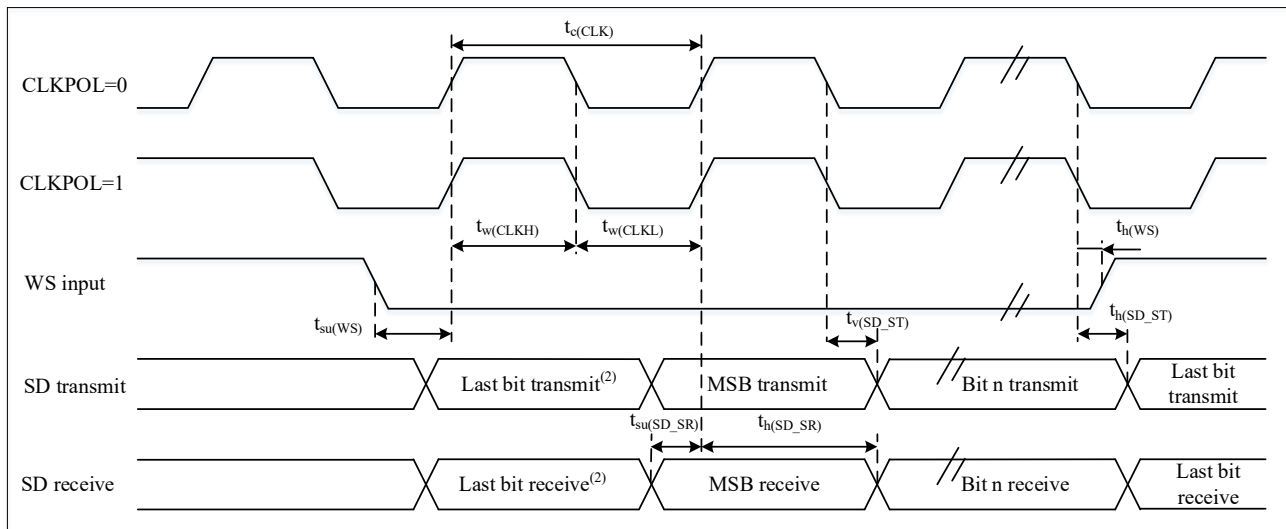


1. 测量点设置于0.5V_{DD}，外部C_L为30pF。

表 4-41 I²S 特性⁽¹⁾

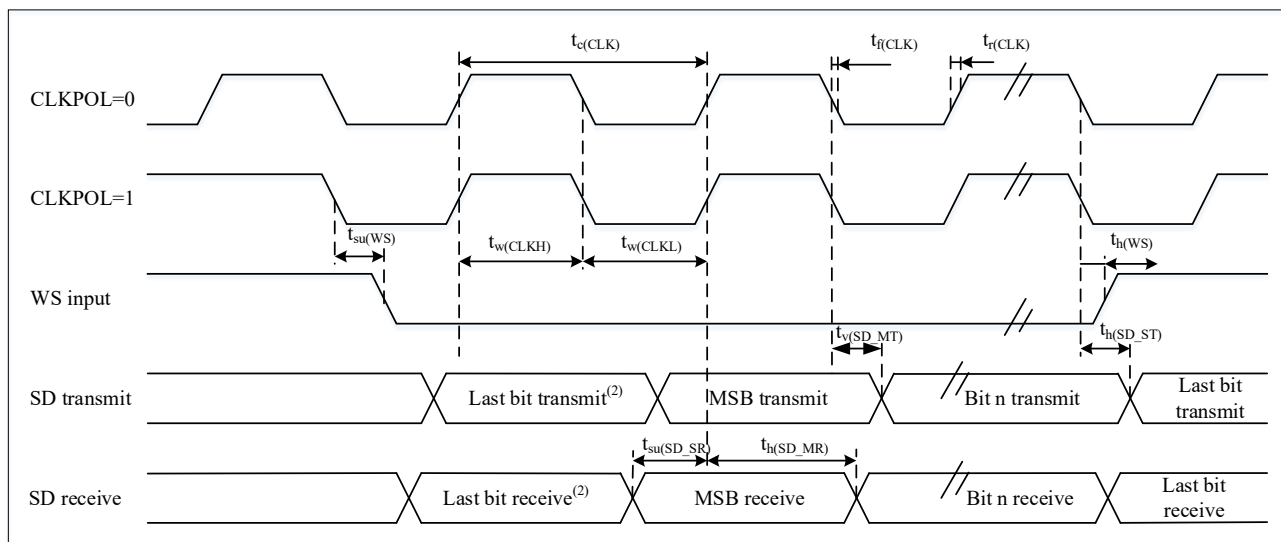
符号	参数	条件		最小值	最大值	单位
f _{MCLK}	I ² S主时钟频率	主模式		256x8K	256Fs ⁽³⁾	MHz
f _{CLK}	I ² S时钟频率	主模式(32bit)		-	64Fs ⁽³⁾	
1/t _{c(CLK)}		从模式(32bit)		-	64Fs ⁽³⁾	
DuCy(SCK)	I ² S从输入时钟占空比	I ² S从模式		30	70	%
t _{v(WS)} ⁽¹⁾	WS有效时间	主模式	I2S2	-	6	ns
			I2S3	-	6	
t _{h(WS)} ⁽¹⁾	WS保持时间	主模式	I2S2	2	-	
			I2S3	2		
t _{su(WS)} ⁽¹⁾	WS建立时间	从模式	I2S2	7	-	
			I2S3	7	-	
t _{h(WS)} ⁽¹⁾	WS保持时间	从模式	I2S2	0	-	
			I2S3	0	-	
t _{w(CLKH)} ⁽¹⁾	CLK高和低的时间	-		312.5	-	
t _{w(CLKL)} ⁽¹⁾				345	-	
t _{su(SD_MR)} ⁽¹⁾	数据输入建立时间	主接收器	I2S2	6	-	
			I2S3	6	-	
t _{su(SD_SR)} ⁽¹⁾		从接收器	I2S2	7	-	
			I2S3	7	-	
t _{h(SD_MR)} ⁽¹⁾⁽²⁾	数据输入保持时间	主接收器	I2S2	0	-	
			I2S3	0		
t _{h(SD_SR)} ⁽¹⁾⁽²⁾		从接收器	I2S2	1	-	
			I2S3	1		
t _{v(SD_ST)} ⁽¹⁾⁽²⁾	数据输出有效时间	从发送器(使能边沿之后)	I ² S2	-	15	
			I ² S3	-	15	
t _{h(SD_ST)} ⁽¹⁾	数据输出保持时间	从发送器(使能边沿之后)	I ² S2	4	-	
			I ² S3	4	-	
t _{v(SD_MT)} ⁽¹⁾⁽²⁾	数据输出有效时间	主发送器(使能边沿之后)	I2S2	-	6	
			I2S3	-	6	
t _{h(SD_MT)} ⁽¹⁾	数据输出保持时间	主发送器(使能边沿之后)	I2S2	0	-	
			I2S3	0	-	

1. 由设计保证，不在生产中测试。
2. 依赖于 f_{PCLK} 。
3. 音频采样频率。

图 4-17 I²S 从模式时序图（飞利浦协议）⁽¹⁾


1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图 4-18 I²S 主模式时序图（飞利浦协议）⁽¹⁾



1. 测量点设置于 $0.3V_{DD}$ 和 $0.7V_{DD}$ 。
2. 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

4.3.19 xSPI接口特性

表 4-42 xSPI 在 SDR 模式下的特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
F_{CK} $1/t_{(CK)}$	xSPI 时钟频率	$2.3\text{ V} < V_{DD} < 3.6\text{ V}$, $C_{LOAD} = 20\text{ pF}$	-	-	133	
$t_{w(CKH)}$	xSPI 时钟高低时间, 偶数除法	PRESCALER[7:0] = n n = 0,1,3,5	$t_{(CK)}/2$	-	$t_{(CK)}/2+1$	ns
$t_{w(CKL)}$			$t_{(CK)}/2-1$	-	$t_{(CK)}/2$	
$t_{w(CKL)}$			$(n/2+1)*t_{(CK)}/(n+1)-1$	-	$(n/2+1)*t_{(CK)}/(n+1)$	
$t_{s(IN)}$	输入数据建立时间	-	3	-	-	
$t_{h(IN)}$	输入数据保持时间	-	1.5	-	-	
$t_{v(OUT)}$	输出数据有效时间	-	-	-	0.5	
$t_{h(OUT)}$	输出数据保持时间	-	0	-	-	

1. 所有值均适用于八线和四线SPI模式。
2. 由设计保证，不在生产中测试。

图 4-19 xSPI 在 SDR 模式下的读写时序

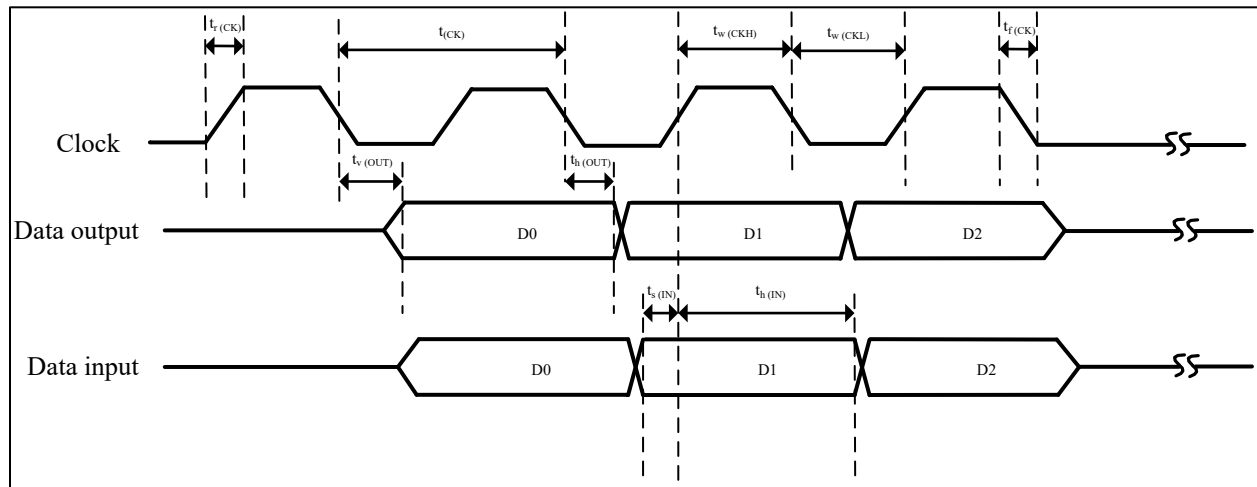


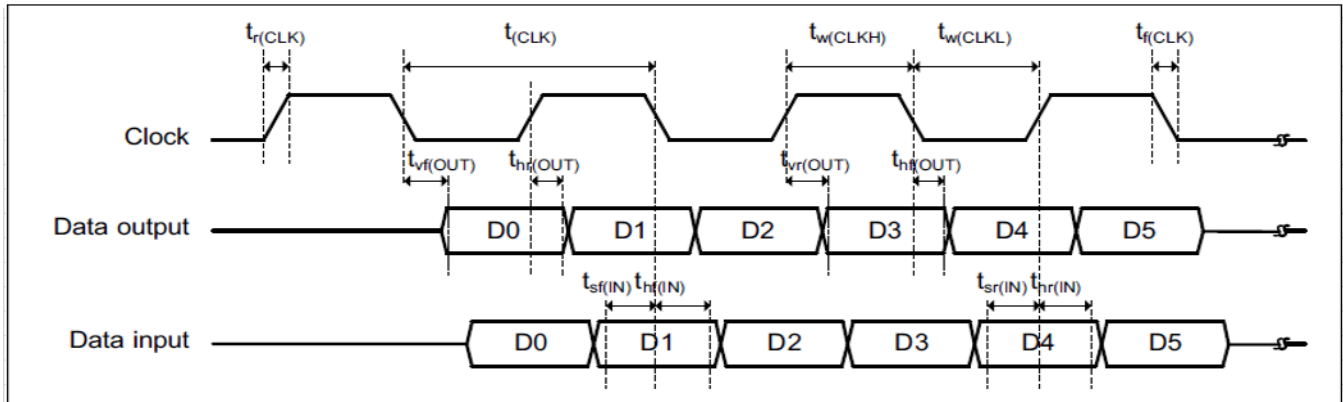
表 4-43 xSPI 在 DTR 模式下的特性 (非 DQS)⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
F_{CK} $1/t_{(CK)}$	xSPI 时钟频率	$2.3\text{ V} < V_{DD} < 3.6\text{ V}$, $C_{LOAD} = 20\text{ pF}$	-	-	66.5	MHz
$t_{w(CKH)}$	xSPI 时钟高低时间, 偶数除法	PRESCALER[7:0] = n n = 0,1,3,5...	$t_{(CK)}/2$	-	$t_{(CK)}/2+1$	ns
$t_{w(CKL)}$			$t_{(CK)}/2-1$	-	$t_{(CK)}/2$	
$t_{sr(IN)}$ $t_{sf(IN)}$	输入数据建立时间	-	-	-	3	
$t_{hr(IN)}$ $t_{hf(IN)}$	输入数据保持时间	-	1.5	-	-	

$t_{vr(OUT)}$ $t_{vf(OUT)}$	输出数据有效时间	TXDE[7:0] = 0	-	-	1.56
		TXDE[7:0] = n n = 1, 2, 3...	-	-	$n \cdot t_{(CK)}/4 + 1.56$
$t_{hr(OUT)}$ $t_{hf(OUT)}$	输出数据保持时间	TXDE[7:0] = 0	0	-	-
		TXDE[7:0] = n n = 1, 2, 3...	$n \cdot t_{(CK)}/4$	-	-

1. 所有值均适用于八线和四线SPI模式。
2. 由设计保证，不在生产中测试。

图 4-20 xSPI 在 DTR 模式下的时序


表 4-44 xSPI 在 DTR 模式下的特性 (带 DQS)/八线和 Hyperbus 协议⁽¹⁾

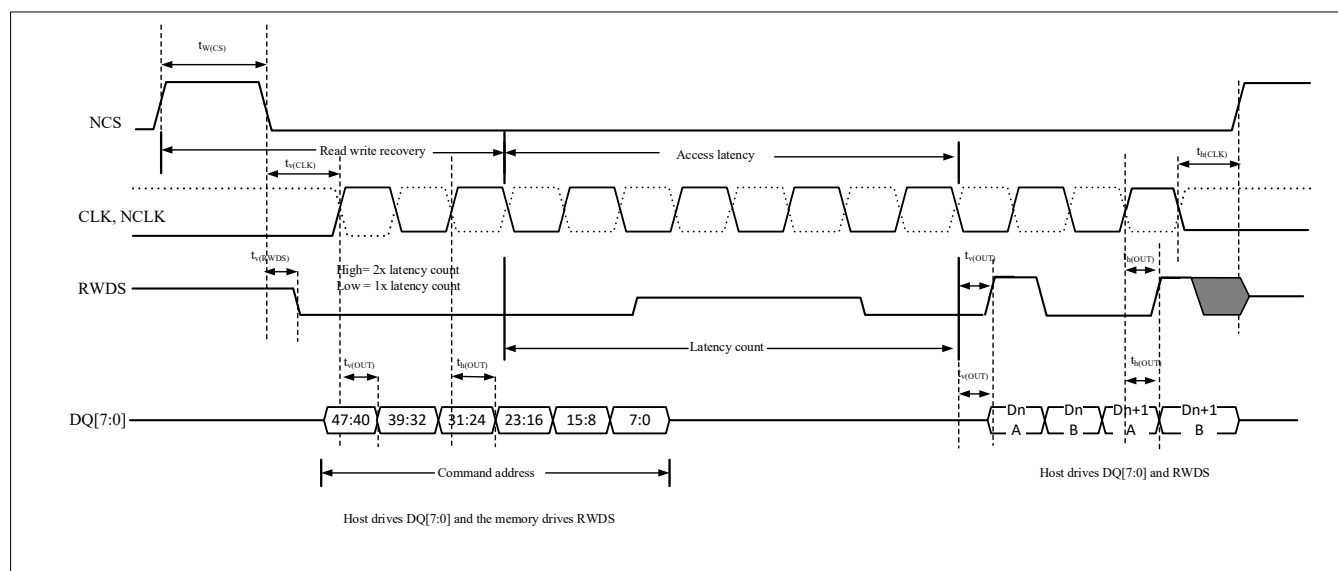
符号	参数	条件	最小值	典型值	最大值	单位
$F_{CK}^{(2)(3)}$	xSPI 时钟频率	$2.7\text{ V} < V_{DD} < 3.6\text{ V}$, $C_{LOAD} = 20\text{ pF}$	-	-	133	MHz
$t_{w(CKH)}$	xSPI 时钟高低时间, 偶数除法	PRESCALER[7:0] = n = 0, 1, 3, 5...	$t_{(CK)}/2$	-	$t_{(CK)}/2 + 1$	ns
$t_{w(CKL)}$			$t_{(CK)}/2 - 1$	-	$t_{(CK)}/2$	
$t_{v(CK)}$	时钟有效时间	-	-	-	$t_{(CK)} + 1$	
$t_{h(CK)}$	时钟保持时间	-	$t_{(CK)}/2$	-	-	
$V_{ODr(CK)}$	CK 上升沿, CK 和 $\overline{ck}$ 交叉电平	$V_{DD} = 2.3\text{ V}$	922	-	1229	mV
$V_{ODf(CK)}$	CK 下降沿, CK 和 $\overline{ck}$ 交叉电平	$V_{DD} = 2.3\text{ V}$	1000	-	1277	
$t_{w(CS)}$	片选高电平时间	-	$3 \cdot t_{(CK)}$	-	-	ns
$t_{v(DQ)}$	输入数据有效时间	-	0	-	-	
$t_{v(DS)}$	输入数据选通有效时间	-	0	-	-	
$t_{h(DS)}$	输入数据选通保持时间	-	0	-	-	
$t_{v(RWDQ)}$	输出数据选通有效时间	-	-	-	$3 \cdot t_{(CK)}$	
$t_{sr(DQ)}$	输入数据建立时间	上升沿	0	-	-	

1. 由设计保证，不在生产中测试。
2. 给出的RWDS到DQ的最大频率值的最大偏差是 $\pm 1.0\text{ns}$
3. 要达到此频率必须激活相应的寄存器

图 4-21 xSPI Hyperbus 时钟时序图



图 4-23 xSPI Hyperbus 时钟写时序图



4.3.20 FEMC特性

■ 异步波形和时序

图 4-24 至图 4-27 显示了异步的波形，表 4-45 至表 4-48 给出了相应的时序。

图 4-24 异步非总线复用的 SRAM/PSRAM/NOR 读操作波形

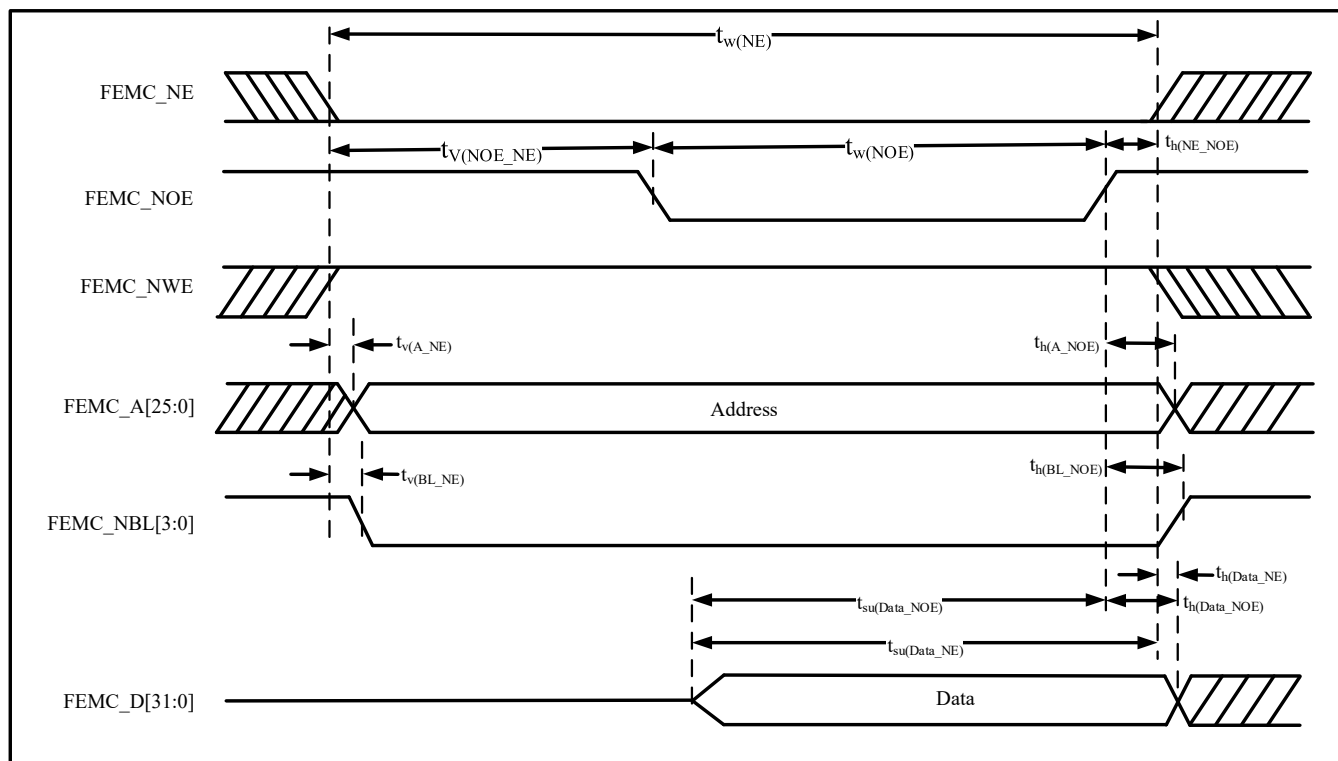


表 4-45 异步非总线复用的 SRAM/PSRAM/NOR 读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NE低时间	$2T_{FEMC_CLK} - 1$	$15T_{FEMC_CLK} + 1$	ns
$t_{V(NOE_NE)}$	FEMC_NEx低至FEMC_NOE低	$T_{FEMC_CLK} - 0.5$	$7T_{FEMC_CLK} + 0.5$	ns
$t_{w(NOE)}$	FEMC_NOE低时间	$T_{FEMC_CLK} - 1$	$8T_{FEMC_CLK} + 1$	ns
$t_{h(NE_NOE)}$	FEMC_NOE高至FEMC_NE高保持时间	0	-	ns
$t_{V(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	0.5	ns
$t_{h(A_NOE)}$	FEMC_NOE高之后的地址保持时间	0	-	ns
$t_{V(BL_NE)}$	FEMC_NEx低至FEMC_NBL有效	-	0.5	ns
$t_{h(BL_NOE)}$	FEMC_NOE高之后的FEMC_NBL保持时间	$T_{FEMC_CLK} - 1$	-	ns
$t_{su(Data_NE)}$	数据至FEMC_NEx高的建立时间	-	$0.5T_{FEMC_CLK} + 1$	ns
$t_{su(Data_NOE)}$	数据至FEMC_NOEx高的建立时间	-	$0.5T_{FEMC_CLK} + 1$	ns
$t_{h(Data_NOE)}$	FEMC_NOE高之后的数据保持时间	$0.5T_{FEMC_CLK} - 1$	-	ns
$t_{h(Data_NE)}$	FEMC_NEx高之后的数据保持时间	$0.5T_{FEMC_CLK} - 1$	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF

2. 测量点设置于CMOS电平: 0.5V_{DD}

3. $T_{FEMC_CLK} \geq 1/100\text{MHz}$

图 4-25 异步非总线复用的 SRAM/PSRAM/NOR 写操作波形

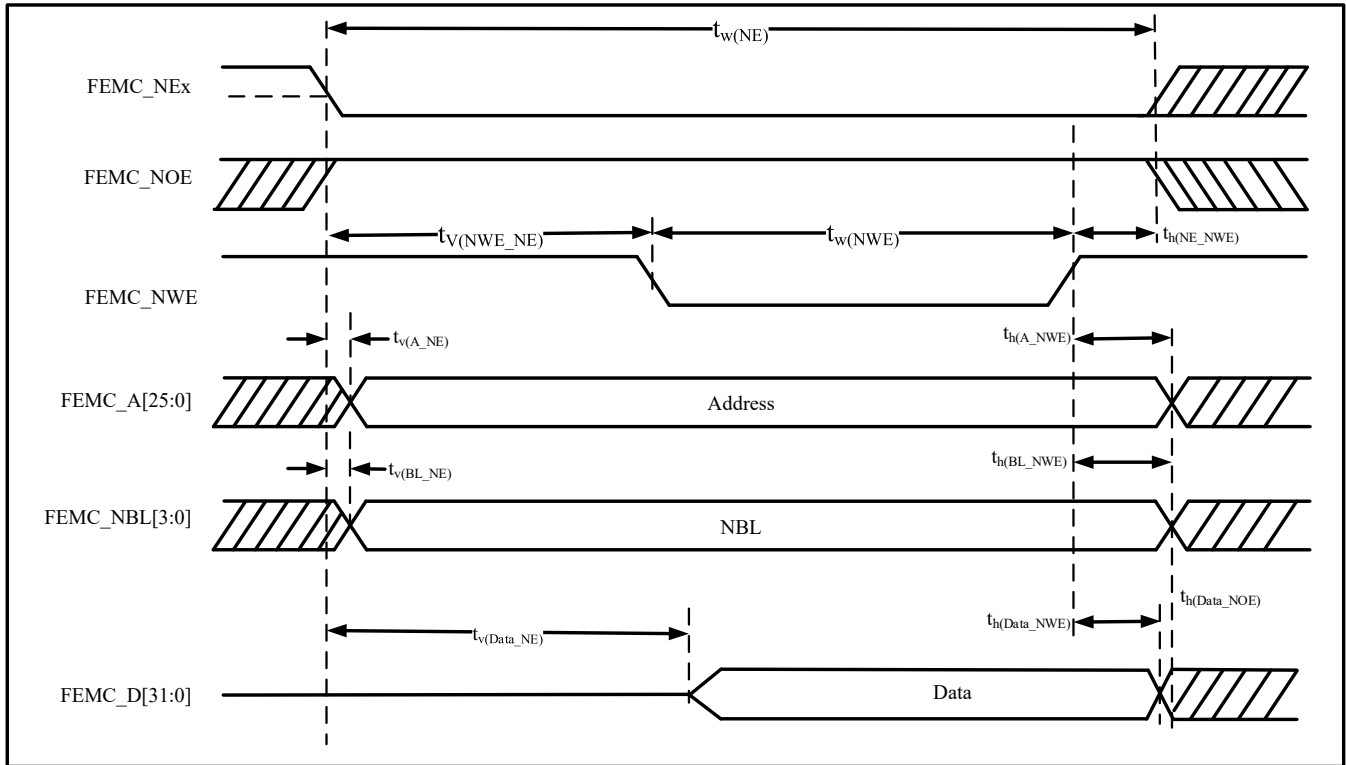
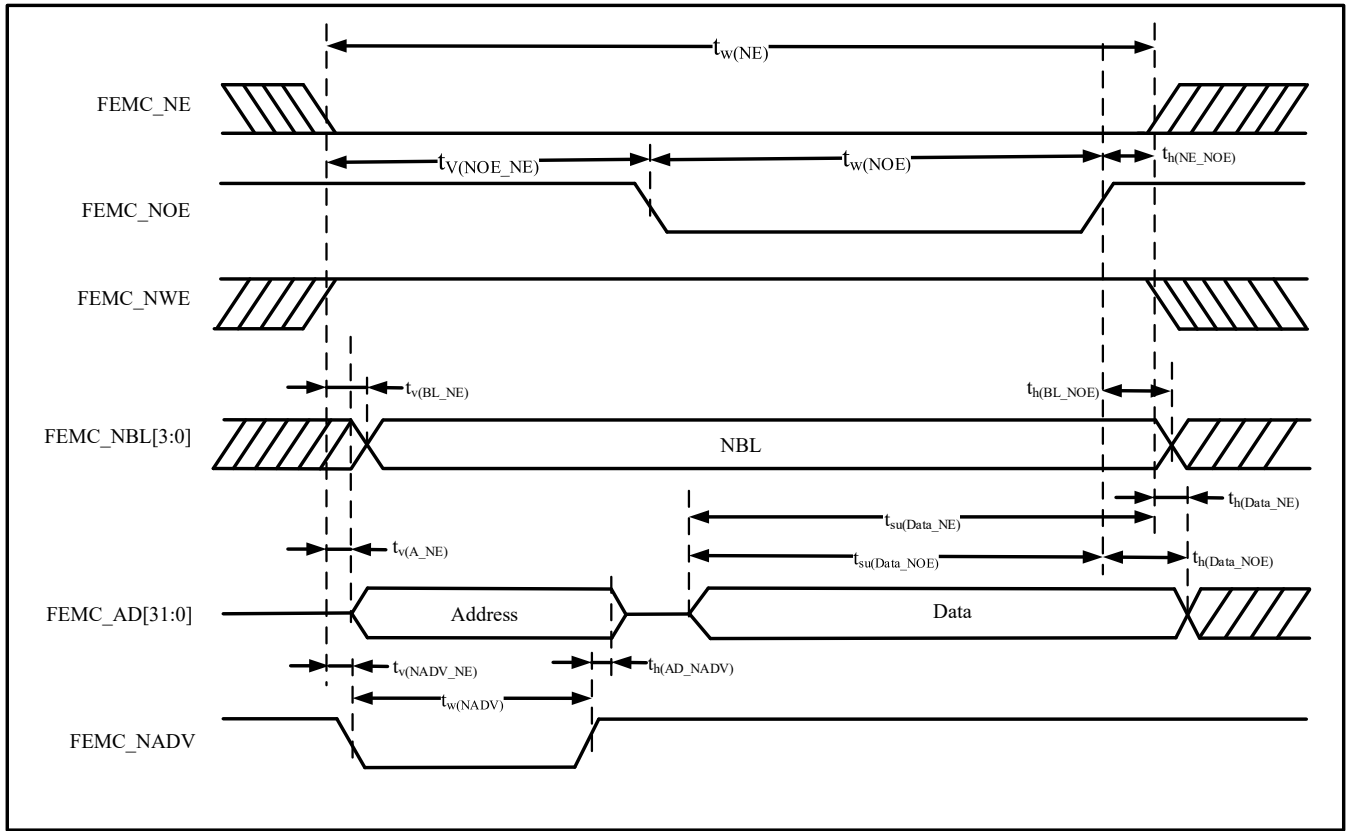


表 4-46 异步非总线复用的 SRAM/PSRAM/NOR 写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NEx低时间	$2T_{FEMC_CLK} - 1$	$15T_{FEMC_CLK} + 1$	ns
$t_{v(NWE_NE)}$	FEMC_NEx低至FEMC_NWE低	0	$T_{FEMC_CLK} + 1$	ns
$t_{w(NWE)}$	FEMC_NWE低时间	$T_{FEMC_CLK} - 0.5$	$7T_{FEMC_CLK} + 0.5$	ns
$t_{h(NE_NWE)}$	FEMC_NWE高至FEMC_NE高保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	0.5	ns
$t_{h(A_NWE)}$	FEMC_NWE高之后的地址保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(BL_NE)}$	FEMC_NEx低至FEMC_NBL有效	-	0.5	ns
$t_{h(BL_NWE)}$	FEMC_NWE高之后的FEMC_NBL保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(Data_NE)}$	FEMC_NEx低至数据有效	-	$T_{FEMC_CLK} + 1$	ns
$t_{h(Data_NWE)}$	FEMC_NWE高之后的数据保持时间	$T_{FEMC_CLK} - 0.1$	-	ns

- IO驱动能力8mA,Capacitive load = 30 pF
- 测量点设置于CMOS电平: 0.5VDD
- $T_{FEMC_CLK} \geq 1/100\text{MHz}$

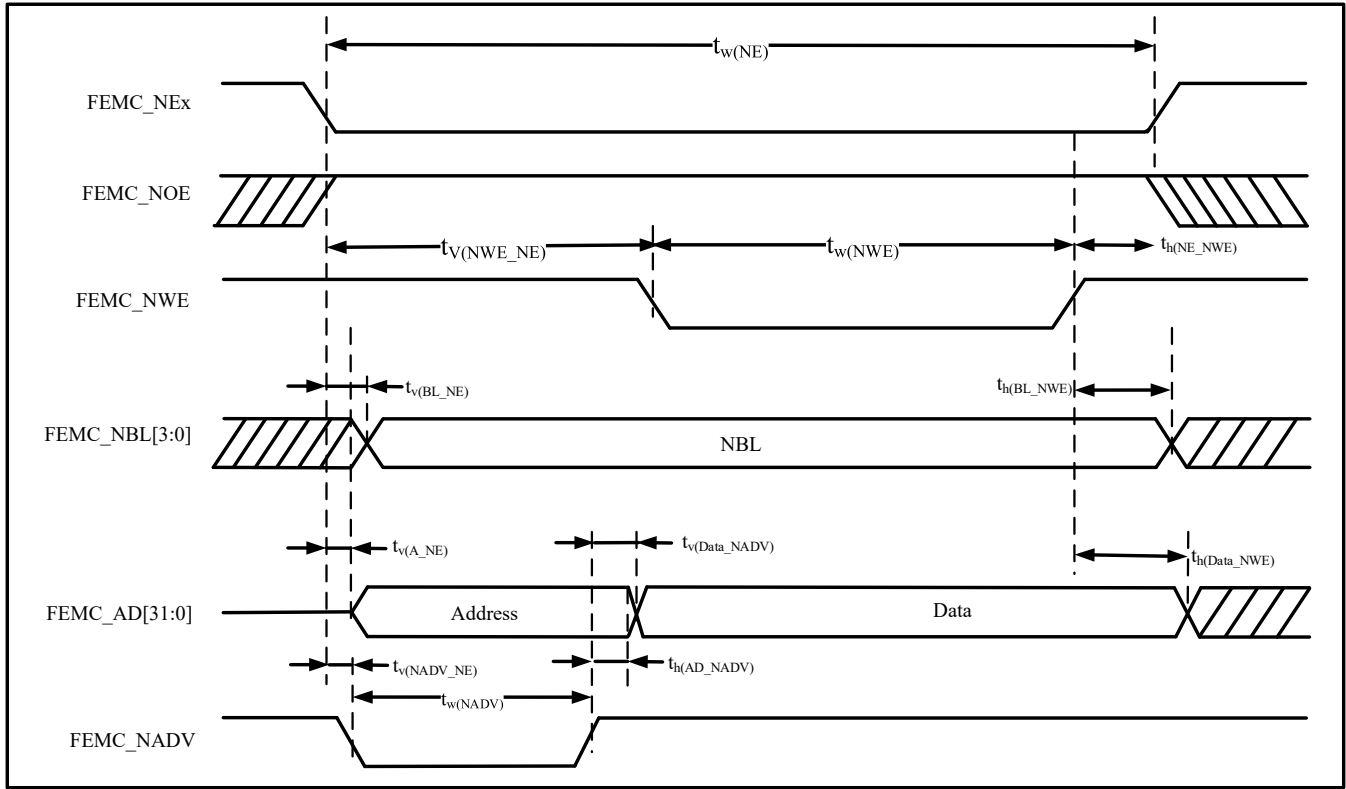
图 4-26 异步总线复用 PSRAM/NOR 读操作波形


表 4-47 异步总线复用的 PSRAM/NOR 读操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NE低时间	$2T_{FEMC_CLK} - 1$	$15T_{FEMC_CLK} + 1$	ns
$t_{v(NOE_NE)}$	FEMC_NEx低至FEMC_NOE低	$T_{FEMC_CLK} - 0.5$	$7T_{FEMC_CLK} + 0.5$	ns
$t_{w(NOE)}$	FEMC_NOE低时间	$T_{FEMC_CLK} - 1$	$8T_{FEMC_CLK} + 1$	ns
$t_{h(NE_NOE)}$	FEMC_NOE高至FEMC_NE高保持时间	0	-	ns
$t_{v(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	0.5	ns
$t_{v(NADV_NE)}$	FEMC_NEx低至FEMC_NADV低	0	0.2	ns
$t_{w(NADV)}$	FEMC_NADV低时间	-	$T_{FEMC_CLK} + 1$	ns
$t_{h(AD_NADV)}$	FEMC_NADV高之后FEMC_AD(地址)有效保持时间	$0.5T_{FEMC_CLK} - 1$	-	ns
$t_{h(A_NOE)}$	FEMC_NOE高之后的地址保持时间	0	-	ns
$t_{h(BL_NOE)}$	FEMC_NOE高之后的FEMC_NBL保持时间	0	-	ns
$t_{v(BL_NE)}$	FEMC_NEx低至FEMC_NBL有效	-	0.5	ns
$t_{su(Data_NE)}$	数据至FEMC_NEx高的建立时间	-	$0.5T_{FEMC_CLK} + 1$	ns
$t_{su(Data_NOE)}$	数据至FEMC_NOE高的建立时间	-	$0.5T_{FEMC_CLK} + 1$	ns
$t_{h(Data_NE)}$	FEMC_NEx高之后的数据保持时间	$0.5T_{FEMC_CLK} - 1$	-	ns
$t_{h(Data_NOE)}$	FEMC_NOE高之后的数据保持时间	$0.5T_{FEMC_CLK} - 1$	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5VDD
3. $T_{FEMC_CLK} \geq 1/100\text{MHz}$

图 4-27 异步总线复用 PSRAM/NOR 写操作波形


表 4-48 异步总线复用的 PSRAM/NOR 写操作时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值 ⁽³⁾	单位
$t_{w(NE)}$	FEMC_NEx低时间	$2T_{FEMC_CLK} - 1$	$15T_{FEMC_CLK} + 1$	ns
$t_{v(NWE_NE)}$	FEMC_NEx低至FEMC_NWE低	0	$T_{FEMC_CLK} + 1$	ns
$t_{w(NWE)}$	FEMC_NWE低时间	$T_{FEMC_CLK} - 0.5$	$7T_{FEMC_CLK} + 0.5$	ns
$t_{h(NE_NWE)}$	FEMC_NWE高至FEMC_NE高保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(A_NE)}$	FEMC_NEx低至FEMC_A有效	-	0.5	ns
$t_{v(NADV_NE)}$	FEMC_NEx低至FEMC_NADV低	0	0.2	ns
$t_{w(NADV)}$	FEMC_NADV低时间	-	$T_{FEMC_CLK} + 1$	ns
$t_{h(AD_NADV)}$	FEMC_NADV高之后FEMC_AD(地址)有效保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{h(A_NWE)}$	FEMC_NWE高之后的地址保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(BL_NE)}$	FEMC_NEx低至FEMC_NBL有效	-	0.5	ns
$t_{h(BL_NWE)}$	FEMC_NWE高之后的FEMC_NBL保持时间	$T_{FEMC_CLK} - 0.1$	-	ns
$t_{v(Data_NADV)}$	FEMC_NADV高至数据保持时间	-	$T_{FEMC_CLK} + 0.1$	ns
$t_{h(Data_NWE)}$	FEMC_NWE高之后的数据保持时间	$T_{FEMC_CLK} - 0.1$	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF

2. 测量点设置于CMOS电平：0.5V_{DD}

3. $T_{FEMC_CLK} \geq 1/100\text{MHz}$

■ 同步波形和时序

图 4-28 至图 4-31 显示了同步的波形，表 4-49 至表 4-52 给出了相应的时序。

图 4-28 同步非总线复用 NOR/PSRAM 读时序

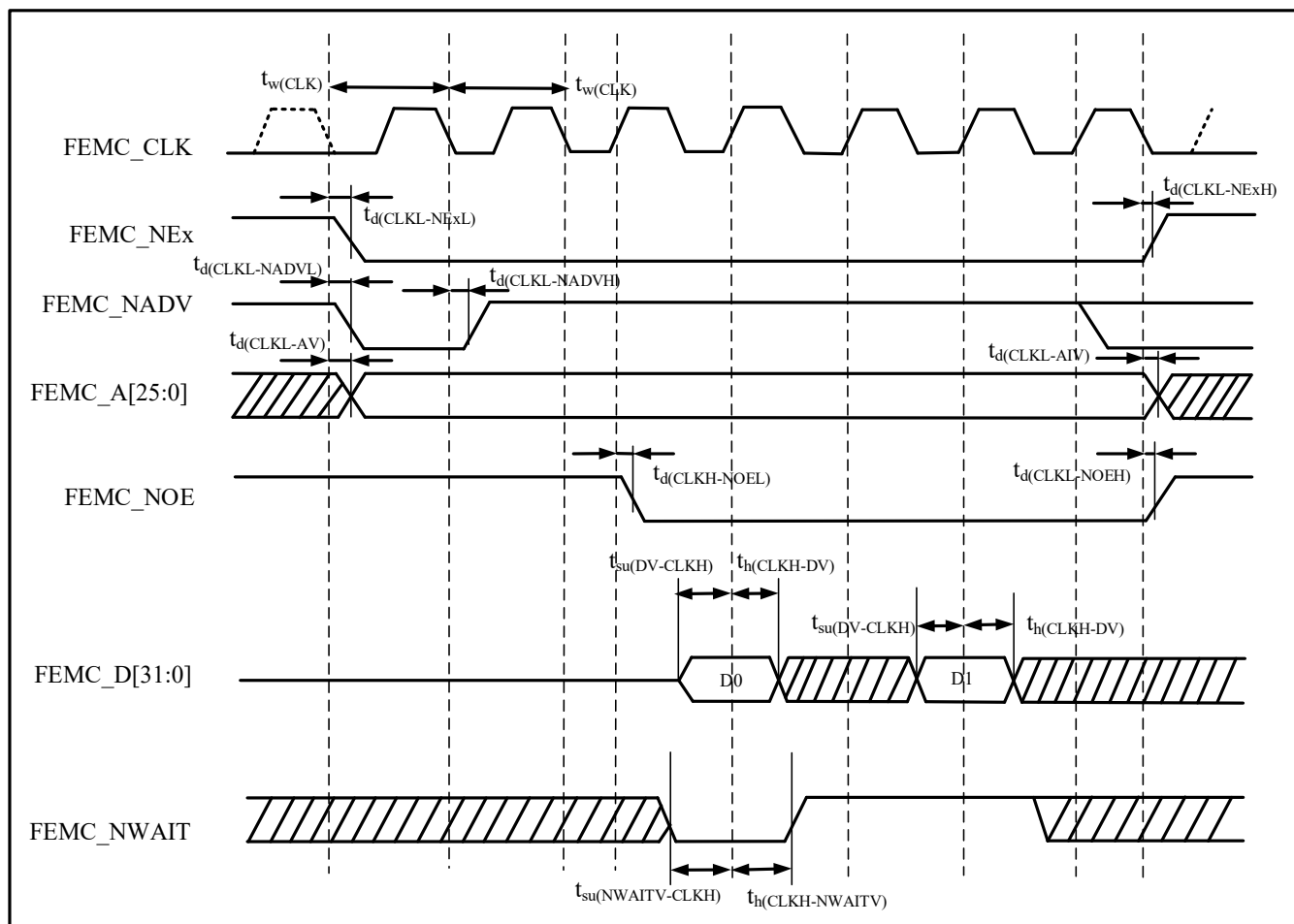


表 4-49 同步非总线复用 NOR/PSRAM 读时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	9.8	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低($x = 1 \dots 4$)	-	2.0	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高($x = 1 \dots 4$)	2.0		ns
$t_d(\text{CLKL-NADV L})$	FEMC_CLK低至FEMC_NADV低	-	2.0	ns
$t_d(\text{CLKL-NADV H})$	FEMC_CLK低至FEMC_NADV高	2.0		ns
$t_d(\text{CLKL-AV})$	FEMC_CLK低至FEMC_Ax有效($x = 0 \dots 25$)	-	3.0	ns
$t_d(\text{CLKL-AIV})$	FEMC_CLK低至FEMC_Ax无效($x = 0 \dots 25$)	2.0		ns
$t_d(\text{CLKL-NOEL})$	FEMC_CLK低至FEMC_NOE低	-	2.0	ns
$t_d(\text{CLKL-NOEH})$	FEMC_CLK低至FEMC_NOE高	2.0	-	ns
$t_{su}(\text{DV-CLKH})$	FEMC_CLK高之前FEMC_D[31:0]有效数据	2.6	-	ns
$t_h(\text{CLKH-DV})$	FEMC_CLK高之后FEMC_D[31:0]有效数据	0.3	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	2.6	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	0.3	-	ns

- IO驱动能力8mA,Capacitive load = 30 pF
- 测量点设置于CMOS电平: 0.5VDD

图 4-29 同步非复用 PSRAM 写时序

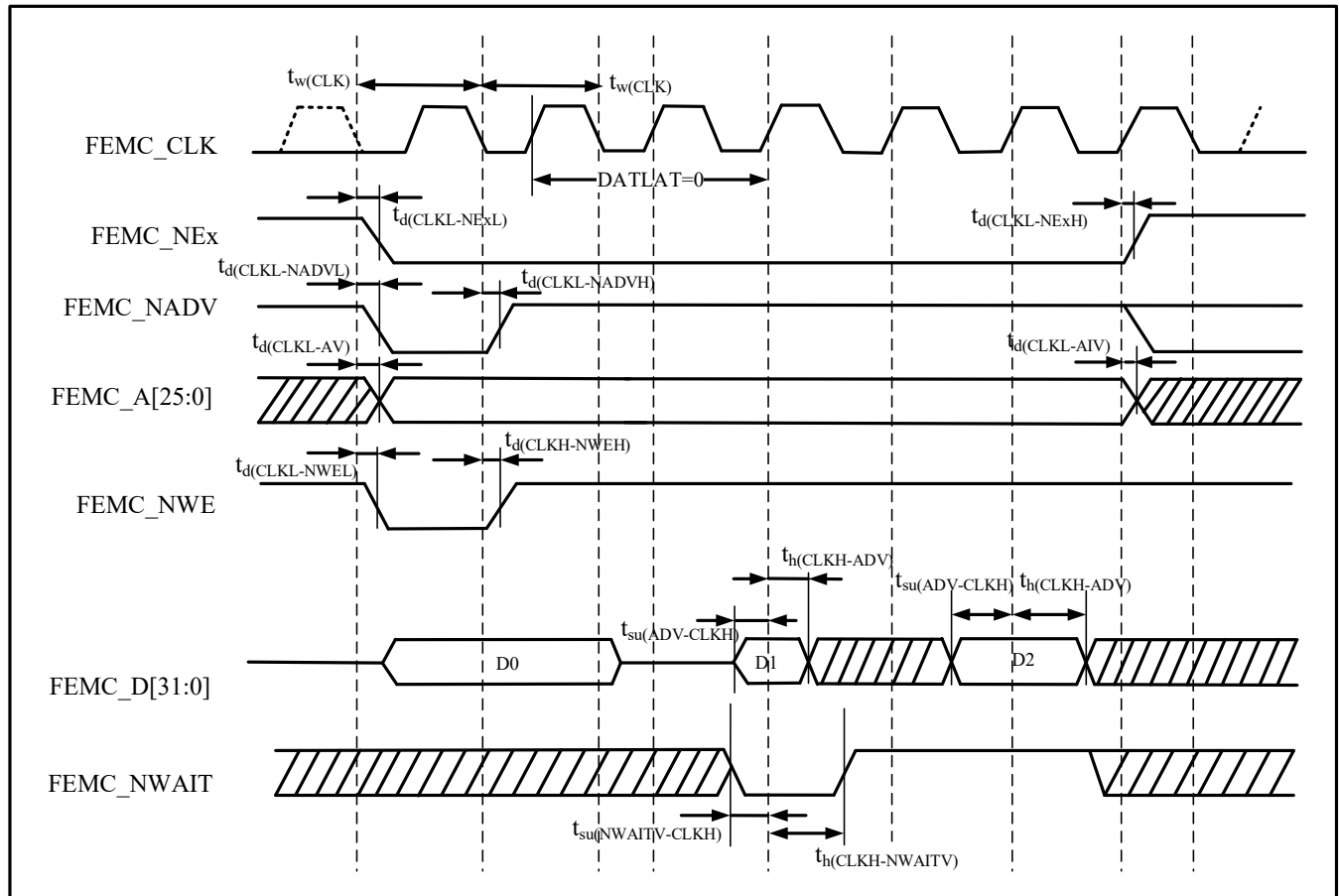


表 4-50 同步非复用 PSRAM 写时序⁽¹⁾⁽²⁾

符号	参数	最小值	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	9.8	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低($x = 1 \dots 4$)	-	2.0	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高($x = 1 \dots 4$)	2.0	-	ns
$t_d(\text{CLKL-NADV L})$	FEMC_CLK低至FEMC_NADV低	-	2.0	ns
$t_d(\text{CLKL-NADV H})$	FEMC_CLK低至FEMC_NADV高	2.0	-	ns
$t_d(\text{CLKL-AV})$	FEMC_CLK低至FEMC_Ax有效($x = 0 \dots 25$)	-	3.0	ns
$t_d(\text{CLKH-AIV})$	FEMC_CLK高至FEMC_Ax无效($x = 0 \dots 25$)	2.0	-	ns
$t_d(\text{CLKL-NWE L})$	FEMC_CLK低至FEMC_NWE低	-	2.0	ns
$t_d(\text{CLKH-NWE H})$	FEMC_CLK高至FEMC_NWE高	2.0	-	ns
$t_d(\text{CLKL-Data})$	FEMC_CLK低之后FEMC_D[31:0]有效数据	-	3.0	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	2.6	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	0.3	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF
2. 测量点设置于CMOS电平: $0.5V_{DD}$

图 4-30 同步复用 NOR/PSRAM 读时序

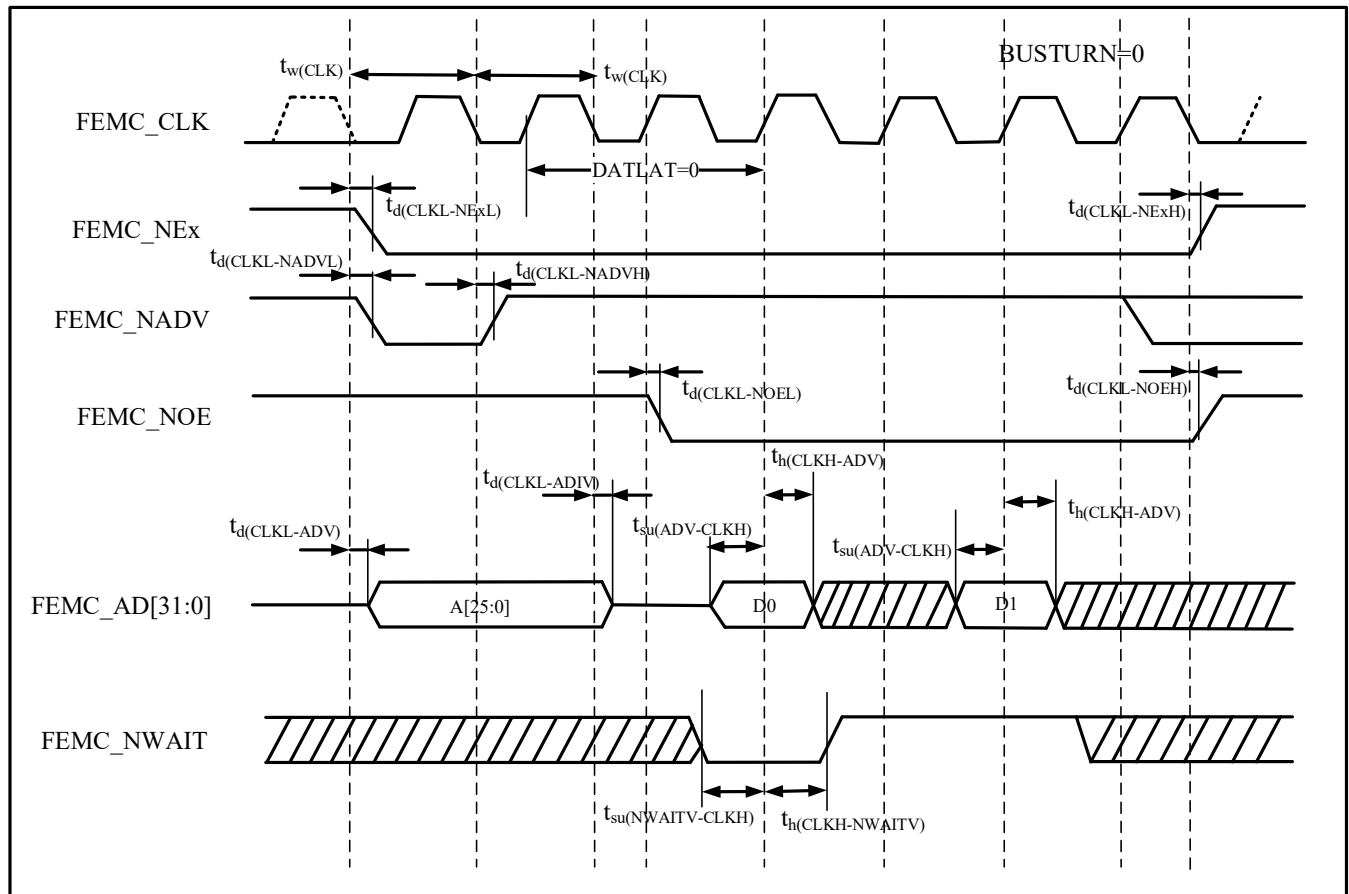


表 4-51 同步复用 NOR/PSRAM 读时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	9.8	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低($x = 1 \dots 4$)	-	2.0	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高($x = 1 \dots 4$)	2.0	-	ns
$t_d(\text{CLKL-NADV L})$	FEMC_CLK低至FEMC_NADV低	-	2.0	ns
$t_d(\text{CLKL-NADV H})$	FEMC_CLK低至FEMC_NADV高	2.0	-	ns
$t_d(\text{CLKL-NOEL})$	FEMC_CLK低至FEMC_NOE低	-	2.0	ns
$t_d(\text{CLKL-NOEH})$	FEMC_CLK低至FEMC_NOE高	2.0	-	ns
$t_d(\text{CLKL-ADV})$	FEMC_CLK低至FEMC_AD[31:0]有效	-	3.0	ns
$t_d(\text{CLKL-ADIV})$	FEMC_CLK低至FEMC_AD[31:0]无效	2.0	-	ns
$t_{su}(\text{ADV-CLKH})$	FEMC_CLK高之前FEMC_AD[31:0]有效数据	2.6	-	ns
$t_h(\text{CLKH-ADV})$	FEMC_CLK高之后FEMC_AD[31:0]有效数据	0.3	-	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	2.6	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	0.3	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF
2. 测量点设置于CMOS电平: 0.5V_{DD}
3. $T_{\text{FEMC_CLK}} \geq 1/100\text{MHz}$

图 4-31 同步复用 PSRAM 写时序

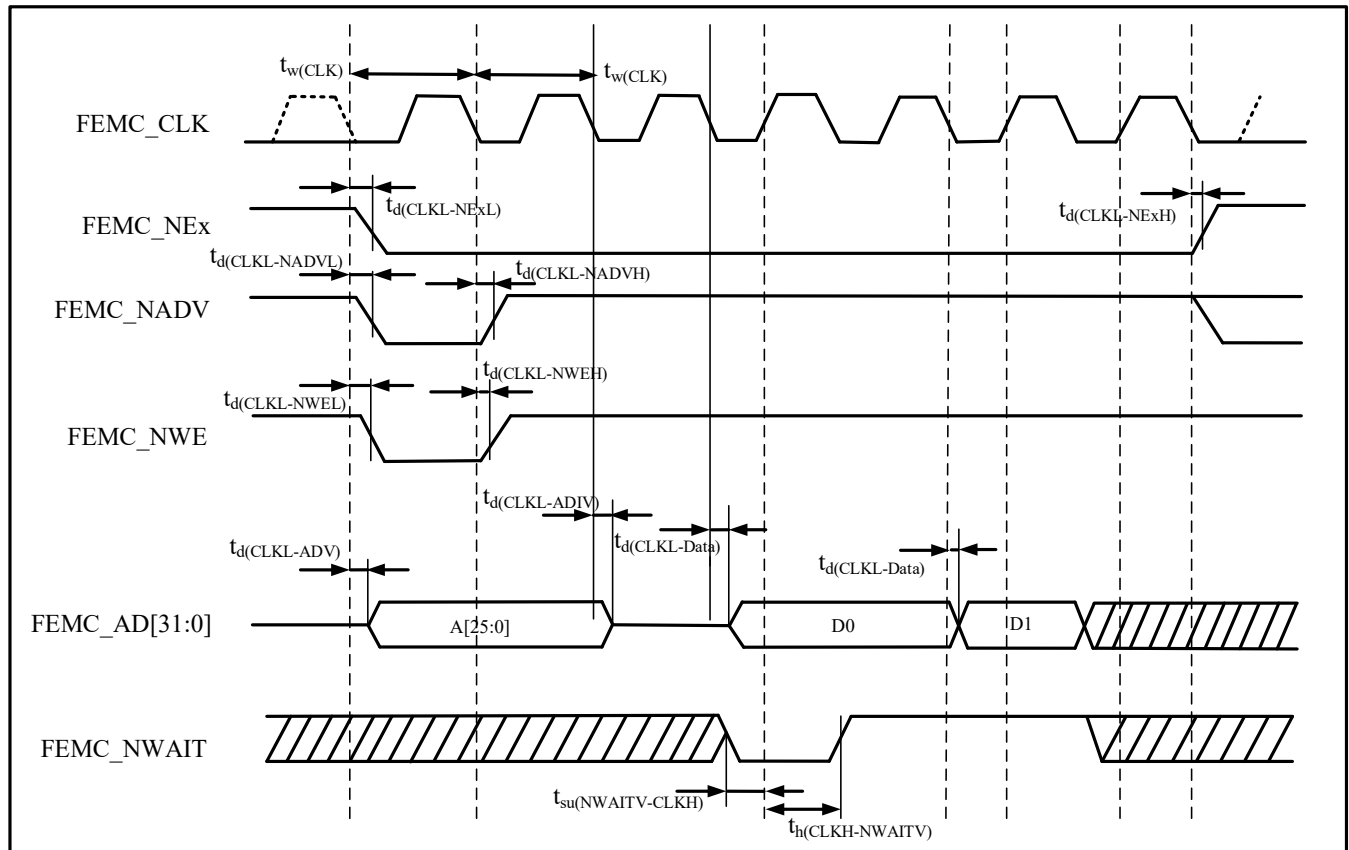


表 4-52 同步复用 PSRAM 写时序⁽¹⁾⁽²⁾

符号	参数	最小值 ⁽³⁾	最大值	单位
$t_w(\text{CLK})$	FEMC_CLK周期	9.8	-	ns
$t_d(\text{CLKL-NExL})$	FEMC_CLK低至FEMC_NEx低($x = 1 \dots 4$)	-	2.0	ns
$t_d(\text{CLKL-NExH})$	FEMC_CLK低至FEMC_NEx高($x = 1 \dots 4$)	2.0	-	ns
$t_d(\text{CLKL-NADVL})$	FEMC_CLK低至FEMC_NADV低	-	2.0	ns
$t_d(\text{CLKL-NADVH})$	FEMC_CLK低至FEMC_NADV高	2.0	-	ns
$t_d(\text{CLKL-NWEL})$	FEMC_CLK低至FEMC_NWE低	-	2.0	ns
$t_d(\text{CLKL-NWEH})$	FEMC_CLK低至FEMC_NWE高	2.0	-	ns
$t_d(\text{CLKL-ADV})$	FEMC_CLK低至FEMC_AD[31:0]有效	-	3.0	ns
$t_d(\text{CLKL-ADIV})$	FEMC_CLK低至FEMC_AD[31:0]无效	2.0	-	ns
$t_d(\text{CLKL-Data})$	FEMC_CLK低之后FEMC_AD[31:0]有效	-	3.0	ns
$t_{su}(\text{NWAITV-CLKH})$	FEMC_CLK高之前FEMC_NWAIT有效	2.6	-	ns
$t_h(\text{CLKH-NWAITV})$	FEMC_CLK高之后FEMC_NWAIT有效	0.3	-	ns

1. IO驱动能力8mA,Capacitive load = 30 pF
2. 测量点设置于CMOS电平: $0.5V_{DD}$
3. $T_{FEMC_CLK} \geq 1/100\text{MHz}$

■ NAND控制器波形和时序

图 4-32 至图 4-33 显示了 NAND 的波形

图 4-32 NAND 控制器读操作波形

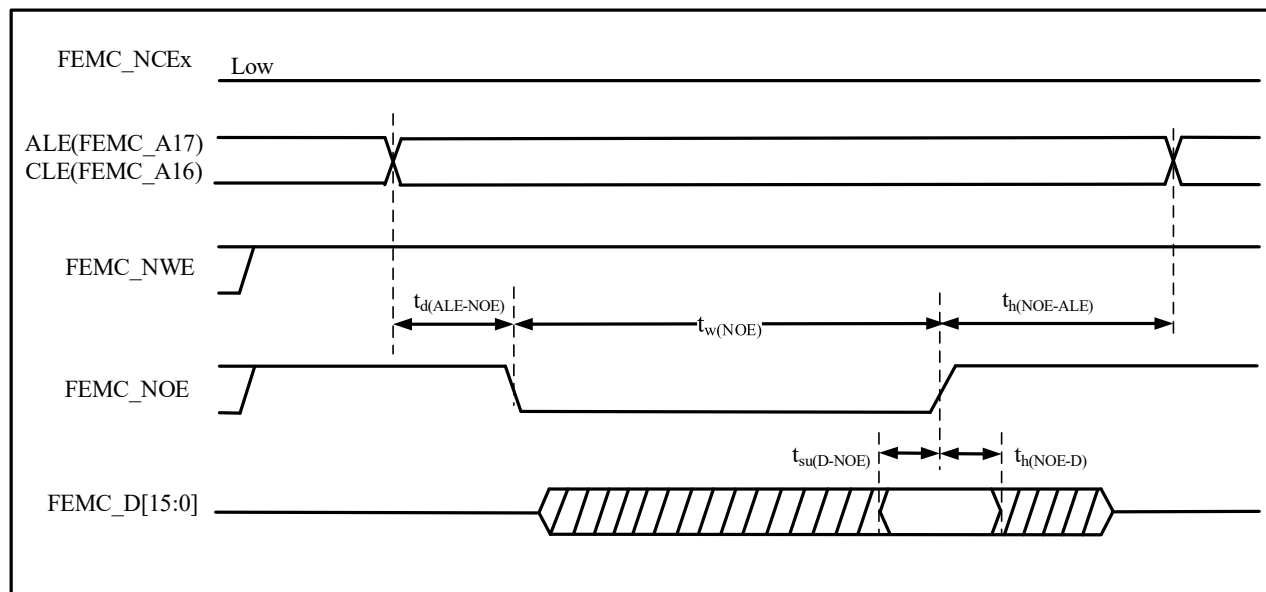


图 4-33 NAND 控制器写操作波形

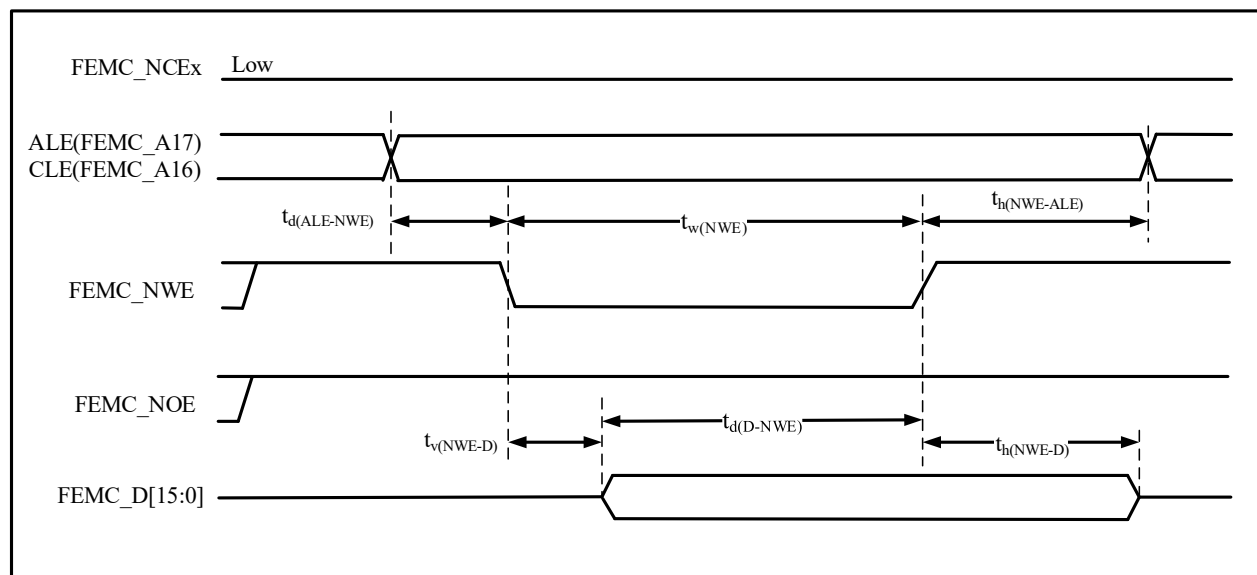


表 4-53 NAND 闪存读写周期的时序特性⁽¹⁾

符号	参数	最小值 ⁽²⁾	最大值 ⁽²⁾	单位
$t_{d(D-NWE)}$	FEMC_NWE高之前至FEMC_D[15:0]数据有效	$1T_{FEMC_CLK} - 8$	$7T_{FEMC_CLK} - 3$	ns
$t_w(NOE)$	FEMC_NOE低时间	$1T_{FEMC_CLK} - 1$	$8T_{FEMC_CLK} + 1$	ns

$t_{su}(D-NOE)$	FEMC_NOE高之前至FEMC_D[15:0]数据有效	$1/2T_{FEMC_CLK} - 4.5$	$1T_{FEMC_CLK} - 0.5$	ns
$t_h(NO-E-D)$	FEMC_NOE高之后至FEMC_D[15:0]数据有效	4.5	-	ns
$t_w(NWE)$	FEMC_NWE低时间	$1T_{FEMC_CLK} - 1$	$7T_{FEMC_CLK} + 1$	ns
$t_v(NWE-D)$	FEMC_NWE低至FEMC_D[15:0]数据有效	4	7	ns
$t_h(NWE-D)$	FEMC_NWE高至FEMC_D[15:0]数据无效	$1T_{FEMC_CLK} - 1$	-	ns
$t_d(ALE-NWE)$	FEMC_NWE低之前至FEMC_ALE有效	-	0	ns
$t_h(NWE-ALE)$	FEMC_NWE高至FEMC_ALE无效	$1T_{FEMC_CLK} - 1$	-	ns
$t_d(ALE-NOE)$	FEMC_NOE低之前至FEMC_ALE有效	$1T_{FEMC_CLK} - 1$	$7T_{FEMC_CLK} - 1$	ns
$t_h(NO-E-ALE)$	FEMC_NOE高至FEMC_ALE无效	$1T_{FEMC_CLK} - 1$	-	ns

1. 由设计保证，不在生产中测试。

2. $T_{FEMC_CLK} \geq 1/100MHz$

4.3.21 USB_HS_DualRole特性

表 4-54 USBHS 直流电气特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{DD}^{(1)}$	USB 工作电压	-	3	-	3.6	V
LS/FS FUNCTIONALITY						
输入电平 ⁽¹⁾	V_{DIFS}	差分输入灵敏度(FS/LS)	-	0.2	-	V
	V_{CMFS}	差分共模范围(FS/LS)	包括 V_{DI} 范围	0.8	-	
	V_{ILSE}	单端接收低电平电压(FS/LS)	-	-	0.8	
	V_{IHSE}	单端接收高电平电压(FS/LS)	-	2.0	-	
输出电平 ⁽¹⁾	V_{OLFS}	静态输出低电平(FS/LS)	R_L of 1.5k Ω to 3.6V	-	0.3	V
	V_{OHFS}	静态输出高电平(FS/LS)	R_L of 15 k Ω to V_{SS}	2.8	3.3	
$R_{PD}^{(1)}$	USBHS_DM/DP	$V_{IN} = V_{DD}$	-	15	-	k Ω
$R_{PU}^{(1)}$	USBHS_DM/DP	$V_{IN} = V_{SS}$	-	1.5	-	
$Z_{HSDRV}^{(1)}$	驱动输出阻抗	稳定状态驱动	-	45	-	Ω
HS FUNCTIONALITY						
输入电平 ⁽¹⁾	D_{IHS}	差分输入灵敏度(HS)	-	0.1	-	V
	V_{CMHS}	差分共模范围(HS)	-	-50	500	mV
	V_{HSSQ}	HS 余波检测阈值	-	100	150	
	V_{HSDSC}	HS 断开阈值	-	525	625	
输出电平 ⁽¹⁾	V_{OLHS}	高速低电平输出电压	45 Ω 负载	-10	10	mV
	V_{OHHS}	高速高电平输出电压	45 Ω 负载	360	400	

1. 由设计保证，不在生产中测试。

表 4-55 USBHS 动态特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
T_{FR}	上升时间(FS/LS)	$C_L = 50$ pF	4	-	20	ns
T_{HSR}	差分上升时间(HS)	-	500	-	-	ps
T_{FF}	下降时间(FS/LS)	$C_L = 50$ pF	4	-	20	ns
T_{HSF}	差分下降时间(HS)	-	500	-	-	ps
V_{CRS}	输出单次交叉电压(FS/LS)	-	1.3	-	2	V

1. 由设计保证，不在生产中测试。

4.3.22 控制器局域网络(CAN)电气参数

有关输入输出复用功能引脚(CAN_TX 和 CAN_RX)的特性详情, 请见第 4.3.13 节。

4.3.23 安全数字多媒体卡(SDMMC)特性

除非特别说明, 表 4-56 的参数是使用符合表 4-4 条件的环境温度、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-56 SD/MMC 特性, $V_{DD}=2.7$ 至 $3.6V$ ⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{pp}	在数据传输模式下的时钟频率	-	-	-	104	MHz
t _{w(CKL)}	时钟低时间	f _{pp} =50MHz	8.6	9.6	-	ns
t _{w(CKH)}	时钟高时间		8.6	9.6	-	ns
在 MMC 传统/SDR/DDR 和 SD HS/SDR/DDR 模式下的 CMD、D 输入（参考 CK）						
t _{ISU}	输入建立时间 HS	f _{pp} ≥ 50 MHz	2.87	-	-	ns
t _{IH}	输入保持时间 HS		1.3	-	-	ns
t _{IDW} ⁽³⁾	输入有效窗口（可变窗口）		TBD	-	-	ns
在 MMC 传统/SDR/DDR 和 SD HS/SDR/DDR 模式下的 CMD、D 输出（参考 CK）						
t _{OV}	输出有效时间 HS	f _{pp} ≥ 50 MHz	-	-	2.74	ns
t _{OH}	输出保持时间 HS		3.0	-	-	ns
SD 默认模式下的 CMD、D 输入（参考 CK）						
t _{ISUD}	输入建立时间 SD	f _{pp} =25MHz	2.87	-	-	ns
t _{IHD}	输入保持时间 SD		1.3	-	-	ns
SD 默认模式下的 CMD、D 输出（参考 CK）						
t _{OVD}	输出有效默认时间 SD	f _{pp} =25MHz	-	-	2.74	ns
t _{OHD}	输出保持默认时间 SD		3.0	-	-	ns

1. 由设计保证, 不在生产中测试。
2. $CL = 20 pF$.
3. 在调谐模式下, 数据需要保持稳定才能正确采样的最小时间窗口。

图 4-34 SD 高速模式

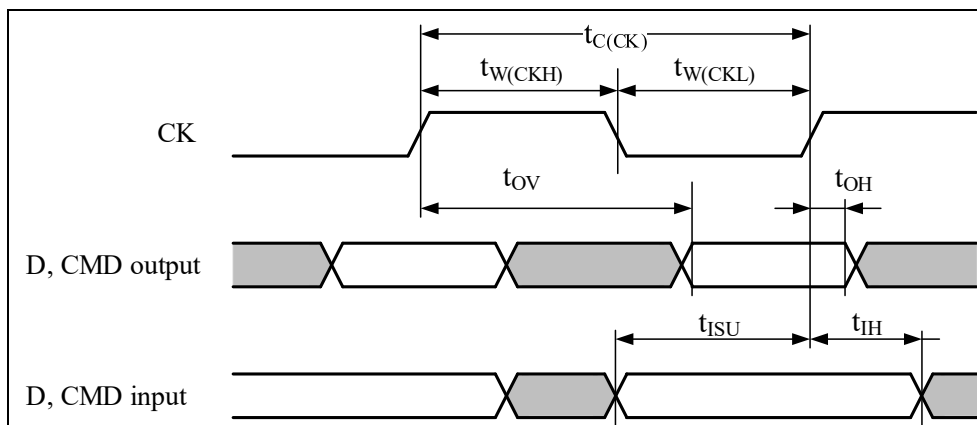


图 4-35 SD 默认模式

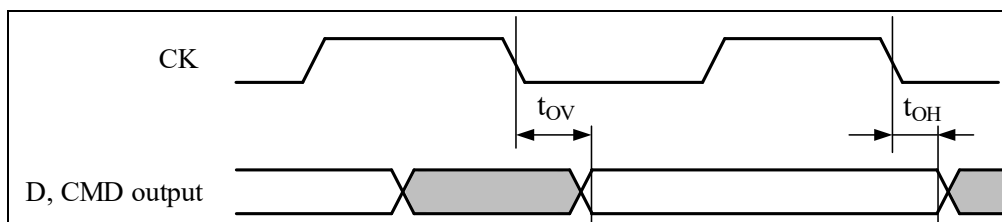
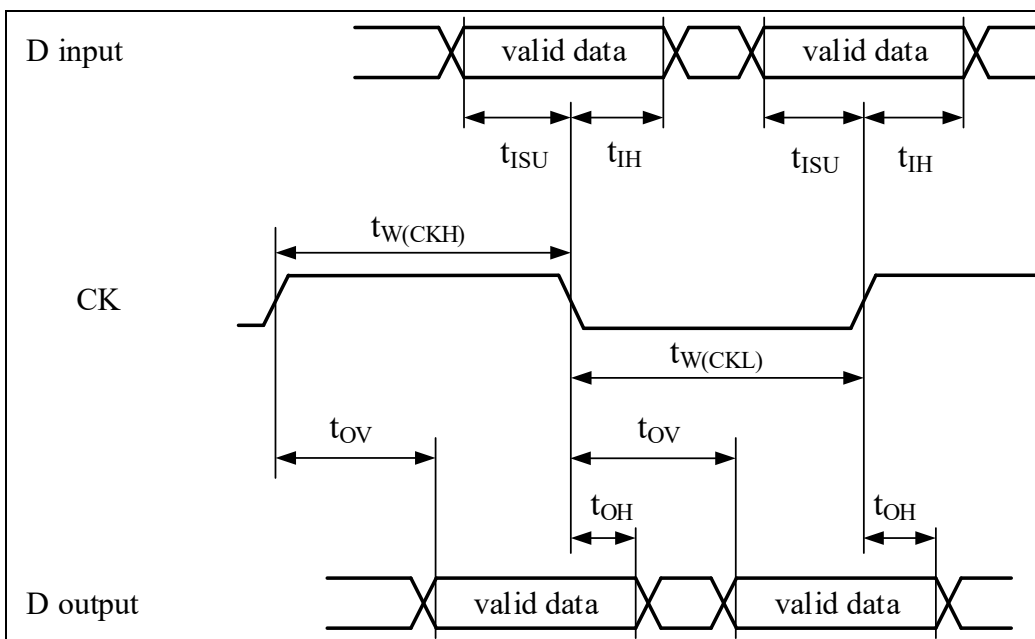


图 4-36 SDMMC DDR 模式



4.3.24 以太网(Ethernet)接口特性

除非特别说明，表 4-57、表 4-58、表 4-59 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。

表 4-57 列出了 MDIO/SMA 的以太网 MAC 时序，图 4-37 显示了相应的时序图。

表 4-57 MDIO/SMA 时序

符号	参数	最小值	典型值	最大值	单位
t_{MDC}	MDC 周期时间 (2.5 MHz)	-	2.5	-	MHz
$t_d(MDIO)$	写数据有效时间	-	-	5	ns
$t_{su}(MDIO)$	读数据建立时间	17	-	-	ns
$t_h(MDIO)$	读数据保持时间	0	-	-	ns

图 4-37 MDIO/SMA 时序图

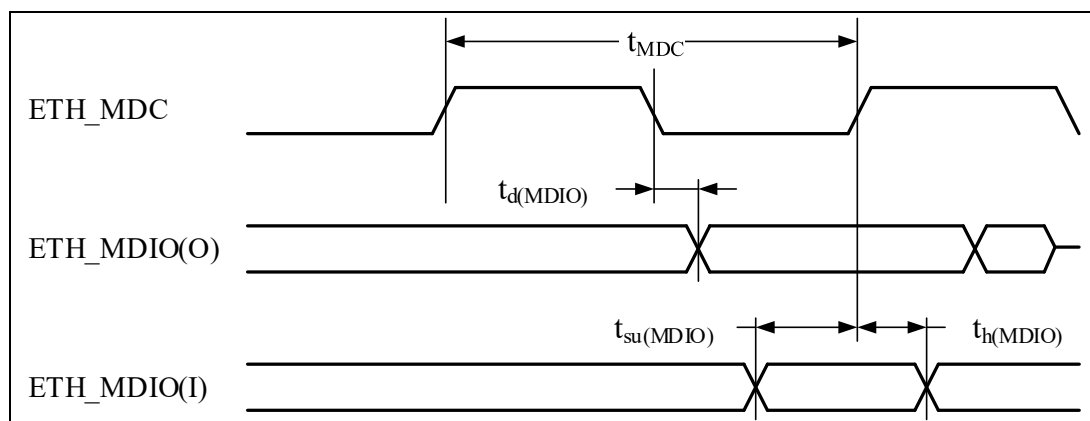


表 4-58 列出了 RMII 的以太网 MAC 时序，图 4-38 显示了相应的时序图。

表 4-58 RMII 时序

符号	参数	最小值	典型值	最大值	单位
$t_{su}(RXD)$	接收数据建立时间	2	-	-	ns
$t_{ih}(RXD)$	接收数据保持时间	1.6	-	-	ns
$t_{su}(CRS_DV)$	载波侦听数据有效建立时间	2	-	-	ns
$t_{ih}(CRS_DV)$	载波侦听数据有效保持时间	1.6	-	-	ns
$t_d(TXEN)$	发送使能有效延迟时间	-	-	9.3	ns
$t_d(TXD)$	发送数据有效延迟时间	-	-	9.3	ns

图 4-38 RMII 时序图

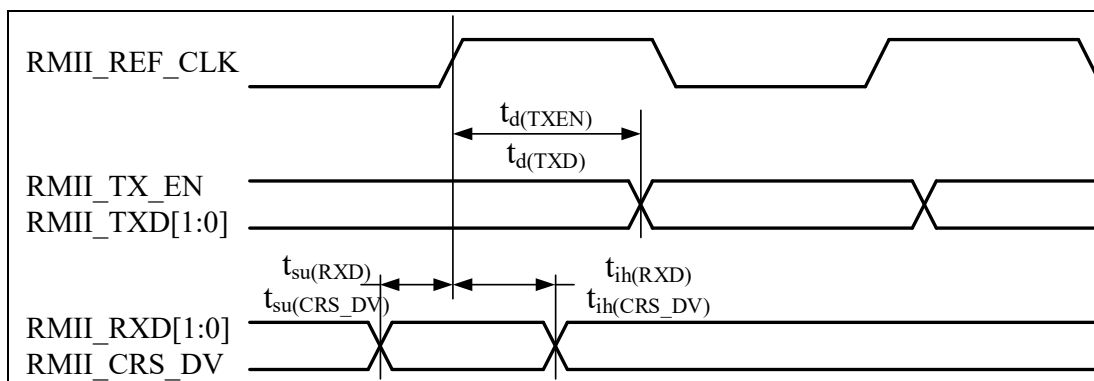
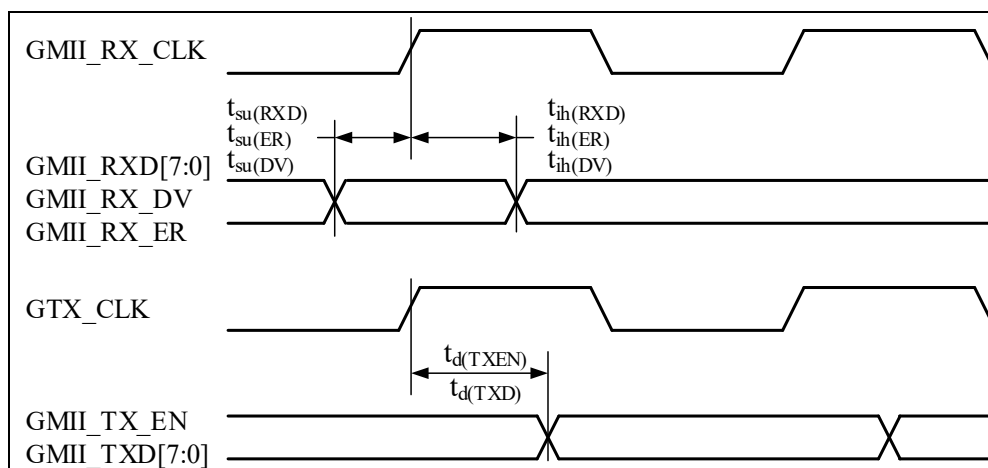


表 4-59 列出了 MII 的以太网 MAC 时序，图 4-39 显示了相应的时序图。

表 4-59 MII 时序

符号	参数	最小值	典型值	最大值	单位
$t_{su(RXD)}$	接收数据建立时间	2.5	-	-	ns
$t_{ih(RXD)}$	接收数据保持时间	0.5	-	-	ns
$t_{su(DV)}$	数据有效建立时间	2.5	-	-	ns
$t_{ih(DV)}$	数据有效保持时间	0.5	-	-	ns
$t_{su(ER)}$	错误建立时间	2.5	-	-	ns
$t_{ih(ER)}$	错误保持时间	0.5	-	-	ns
$t_{d(TXEN)}$	发送使能有效延迟时间	-	-	12.0	ns
$t_{d(TXD)}$	发送数据有效延迟时间	-	-	12.0	ns

图 4-39 MII 时序图



4.3.25 数字视频端口(DVP)接口

表 4-60 展示了 DVP 接口信号的特性，图 4-40 显示了相关的时序。

图 4-40 DVP 接口时序图

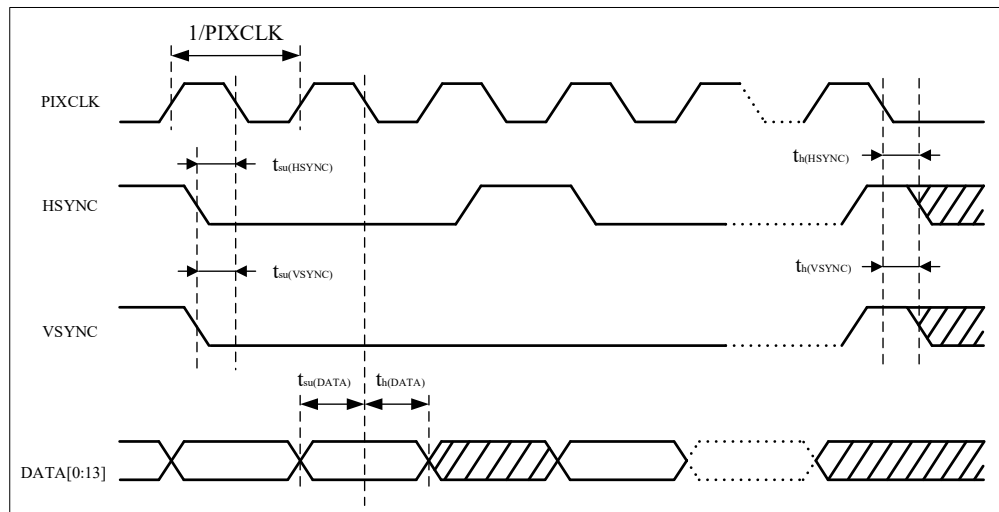


表 4-60 DVP 信号动态特性

符号	参数	条件	最小值	最大值	单位
PCLK	像素时钟输入	-	-	110	MHz
Dpixel	像素时钟输入占空比	-	30	70	%
$t_{su}(DATA)$	数据输入建立时间	-	3	-	ns
$t_h(DATA)$	数据保持时间	-	1	-	
$t_{su}(HSYNC)$, $t_{su}(VSYNC)$	HSYNC/VSYNC 输入建立时间	-	3	-	
$t_h(HSYNC)$, $t_h(VSYNC)$	HSYNC/VSYNC 输入保持时间	-	1	-	

4.3.26 LCD显示控制器(LCDC)接口

除非特别说明，表 4-61 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。一般工作条件，配置如下：

LCD_CLK 极性：高电平

LCD_DE 极性：低电平

LCD_VSYNC 和 LCD_HSYNC 极性：高电平

像素格式：24bits

输出速度：

负载电容： $C_L=30pF$

CMOS 下的测量点：0.5 V_{DD}

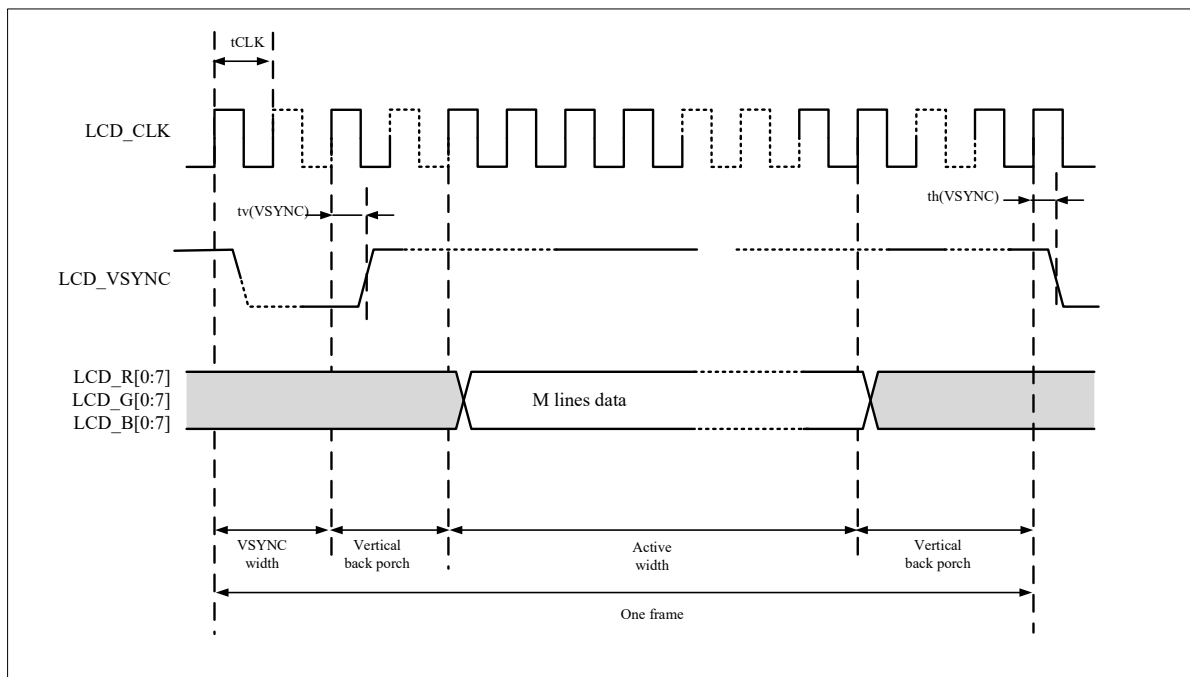
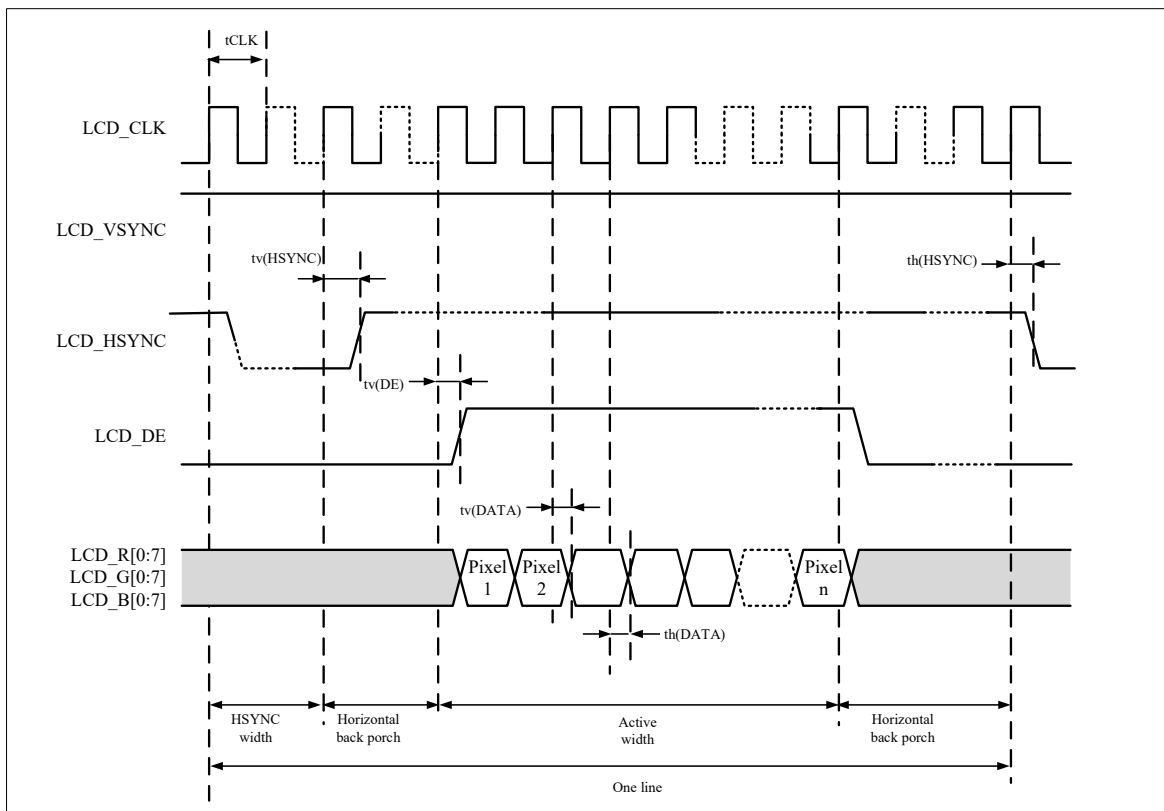
IO 补偿单元有效

表 4-61 LCDC 特性

符号	参数		最小值	最大值	单位
f_{CLK}	LCDC 时钟输出频率	$2.3 < V_{DD} < 3.6V$ 20pF	-	100	MHz
D_{CLK}	LCDC 时钟输出占空比		45	55	%
$t_{W(CLKH)}$ $t_{W(CLKL)}$	时钟高电平时间，低电平时间		$t_{W(CLK)}/2-0.5$	$t_{W(CLK)}/2+0.5$	ns
$t_{V(DATA)}$	数据输出有效时间	$2.3 < V_{DD} < 3.6V$, $f_{CLK} = 100M$	-	8.01	
$t_{H(DATA)}$	数据输出保持时间		1.2	-	
$t_{V(HSYNC)}$ $t_{V(VSYNC)}$ $t_{V(DE)}$	HSYNC/VSYN/DE 输出有效时间	$2.3 < V_{DD} < 3.6V$, $f_{CLK} = 100M$	-	7.7	ns

1. 由设计保证，不在生产中测试。

图 4-42 LCDC 垂直时序框图



4.3.27 基于 Σ - Δ 调制器的数字滤波器单元(DSMU)特性

除非特别说明，表 4-62 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DD} 供电电压测量得到。其他测试条件如下：

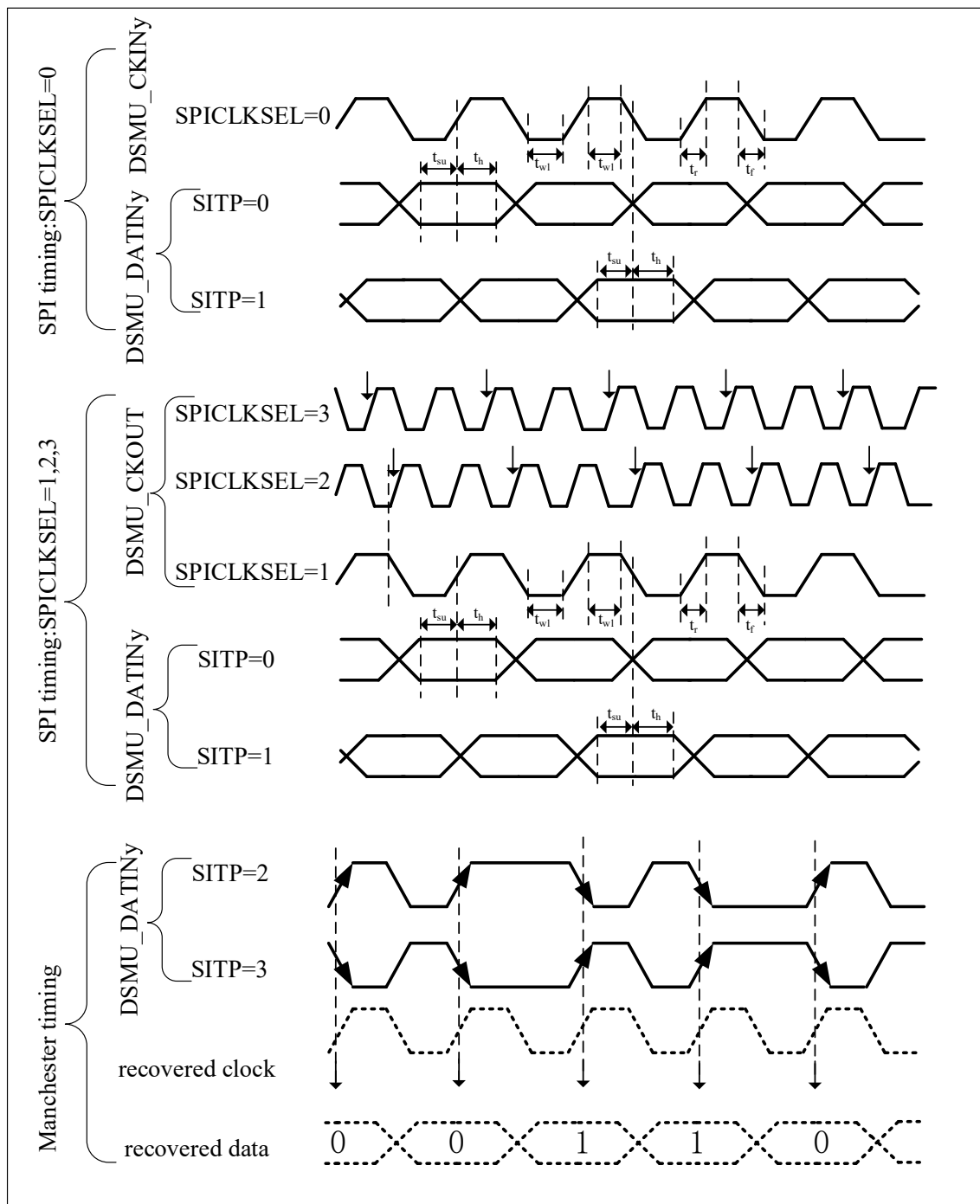
- 端口翻转速度配置：DSy[1:0] = 2b10, SRy=1b0
- 负载电容 CL = 30 pF
- 参照 CMOS 电平标准，IO 测量点为 0.5VDD

更多端口（DSMU_CKINx、DSMU_DATINx、DSMU_CKOUT）特性请参考 I/O 端口特性章节 4.3.13。

表 4-62 DSMU 时序参数

符号	参数	条件	最小值	典型值	最大值	单位
f_{DSMU} ($1/T_{DSMU}$)	DSMU 时钟	$2.3V < VDD < 3.63V$	-	-	300	MHz
f_{CKIN} ($1/T_{CKIN}$)	输入时钟频率	$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 外部时钟模式 (SPICLKSEL[1:0]=0)	-	-	20	
		$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 外部时钟模式 (SPICLKSEL[1:0]=0)	-	-	20	
		$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 内部时钟模式 (SPICLKSEL[1:0]≠0)	-	-	20	
		$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 内部时钟模式 (SPICLKSEL[1:0]≠0)	-	-	20	
f_{CKOUT}	输出时钟频率	$2.3V < VDD < 3.63V$	-	-	20	
Duty _{CKOUT}	输出时钟占空比	$2.3V < VDD < 3.63V$	45	50	55	%
$t_{wh}(CKIN)$ $t_{wl}(CKIN)$	输入时钟高/低脉宽	$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 外部时钟模式 (SPICLKSEL[1:0]=0)	-	Tclk/2	-	ns
t_{su}	输入数据建立时间	$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 外部时钟模式 (SPICLKSEL[1:0]=0)	TBD	TBD	TBD	
t_h	输入数据保持时间	$2.3 < VDD < 3.63 V$, SPI 接口 (SITP[1:0]=0,1), 外部时钟模式 (SPICLKSEL[1:0]=0)	TBD	TBD	TBD	
$T_{Manchester}$	曼彻斯特数据周期 (自恢复时钟周期)	$2.3V < VDD < 3.63V$, 曼彻斯特接口 (SITP[1:0]=2,3), 内部时钟模式 (SPICLKSEL[1:0]≠0)	(CKOUTDIV+1)* $T_{DSMU CLK}$	-	(2*CKOUTDIV)* $T_{DSMU CLK}$	

图 4-43 DSMU 通道收发器时序图



4.3.28 12位模数转换器(ADC)电气参数

除非特别说明，表 4-63 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

注意：建议在每次上电时执行一次校准。

表 4-63 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压	-	2.3	-	3.6	V
V_{REF+}	正参考电压	-	2.3	-	V_{DDA}	V
f_{ADC}	ADC 时钟频率	-	-	-	20	MHz
f_s	采样速率 ⁽¹⁾	-	-	-	5	Msp/s
V_{AIN}	转换电压范围 ⁽²⁾	-	0(V_{SSA} 或 V_{REF-} 连接到地)	-	V_{REF+}	V
R_{ADC}	采样开关电阻	2.4~3.3V	-	250		ohm
		2.3~2.4V	-	350		
C_{ADC}	内部采样和保持电容	-	-	1.5	-	pF
SNDR	Singal noise distortion ration	$f_{ADC} = 20 \text{ MHz}$, sample rate=5M sps ,常温, $f_{in}=200\text{k}$,差分模式	-	68.73	-	dBFS
T_{cal}	校准时间	-	74			1/ f_{ADC}
t_s	采样时间	$f_{ADC} = 20 \text{ MHz}$	0.05	-	7	us
T_s			1	-	-	1/ f_{ADC}
t_{STAB}	上电时间	-	0	0	20	μs
$t_{CONV}^{(2)}$	总的转换时间(包括采样时间)	-	4~400(采样 t_s + 逐步逼近 3)			1/ f_{ADC}

1. 由设计保证，不在生产中测试。
2. 依据不同的封装， V_{REF+} 可以在内部连接到 V_{DDA} ， V_{REF-} 可以在内部连接到 V_{SSA} 。
3. 采样时间/采样速率和输入阻抗 R_{in} 有关，最大输入阻抗 R_{in} 和采样时间的对应关系具体见表 4-64。

表 4-64 ADC 采样时间⁽¹⁾⁽²⁾

分辨率	$R_{in} \text{ (k}\Omega\text{)}$	最小采样时间 (ns)
12-bit	0	50
	0.45	100
	0.7	150
	0.95	200
	1.95	400

	2.95	600
	3.95	800
	4.95	1000
	9.95	2000

1. 由设计保证，不在生产中测试。
2. 测试条件：V_{DDA}=2.4V to 3.6V, V_{CAP}=0.9V, T_A=105°C, f_{clk}=20 MHz。

表 4-65 ADC 精度 – 局限的测试条件⁽¹⁾⁽²⁾

符号	参数	测试条件	典型值	最大值 ⁽³⁾	单位
ET ⁽⁴⁾	综合误差	f _{HCLK} = 200 MHz, f _{ADC} = 20 MHz, sample rate = 3.33M sps, V _{DDA} = 3.3V, T _A = 25 °C 测量是在ADC校准之后进行的 V _{REF+} = 2.5V, 单端模式	TBD	-	LSB
EO ⁽⁴⁾	偏移误差		TBD	-	
ED	微分线性误差		±1.3	-	
EL	积分线性误差		±1.4	-	
ET ⁽⁴⁾	综合误差	f _{HCLK} = 200 MHz, f _{ADC} = 20 MHz, sample rate = 3.33M sps, V _{DDA} = 3.3V, T _A = 25 °C 测量是在ADC校准之后进行的 V _{REF+} = 3.3V 差分模式	TBD	-	
EO ⁽⁴⁾	偏移误差		TBD	-	
ED	微分线性误差		±2.2	-	
EL	积分线性误差		±2.2	-	

1. ADC的直流精度数值是在经过内部校准后测量的。
2. ADC精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，(引脚与地之间) 增加一个肖特基二极管。
3. 如何正向的注入电流，只要处于第4.2节中给出的I_{INJ(PIN)}范围之内，就不会影响ADC精度。
4. 由综合评估保证，不在生产中测试。

图 4-44 ADC 精度特性

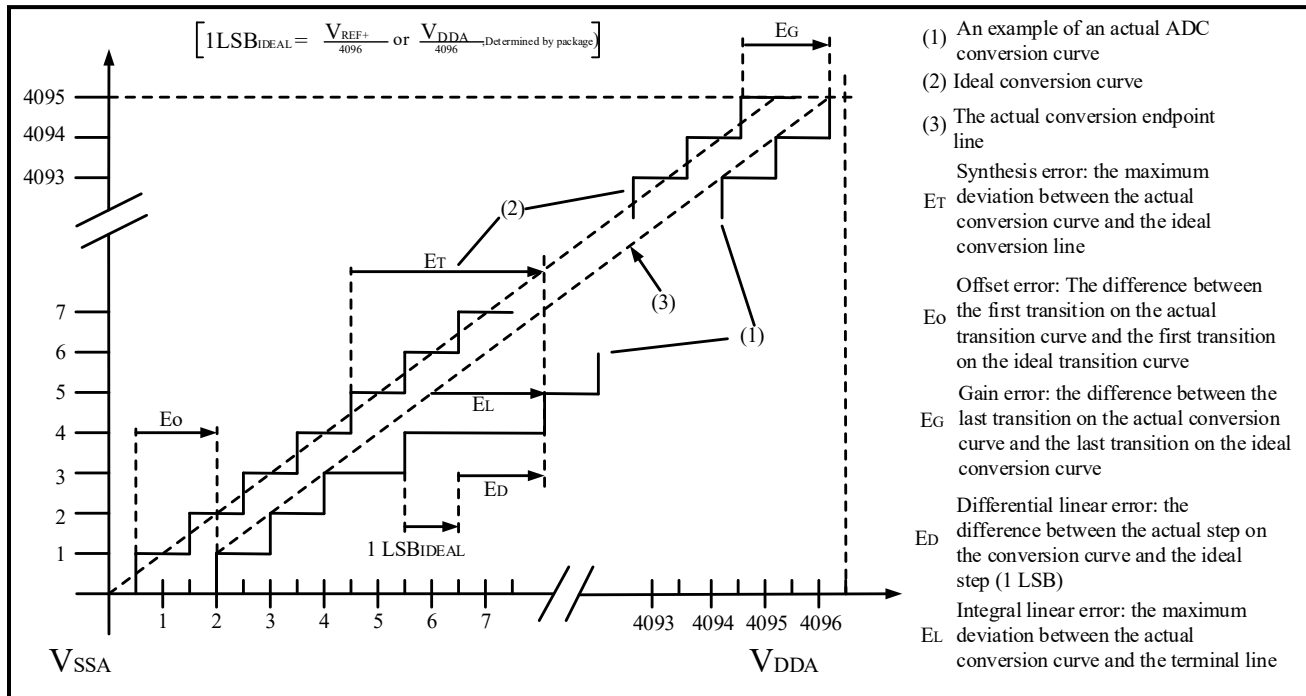
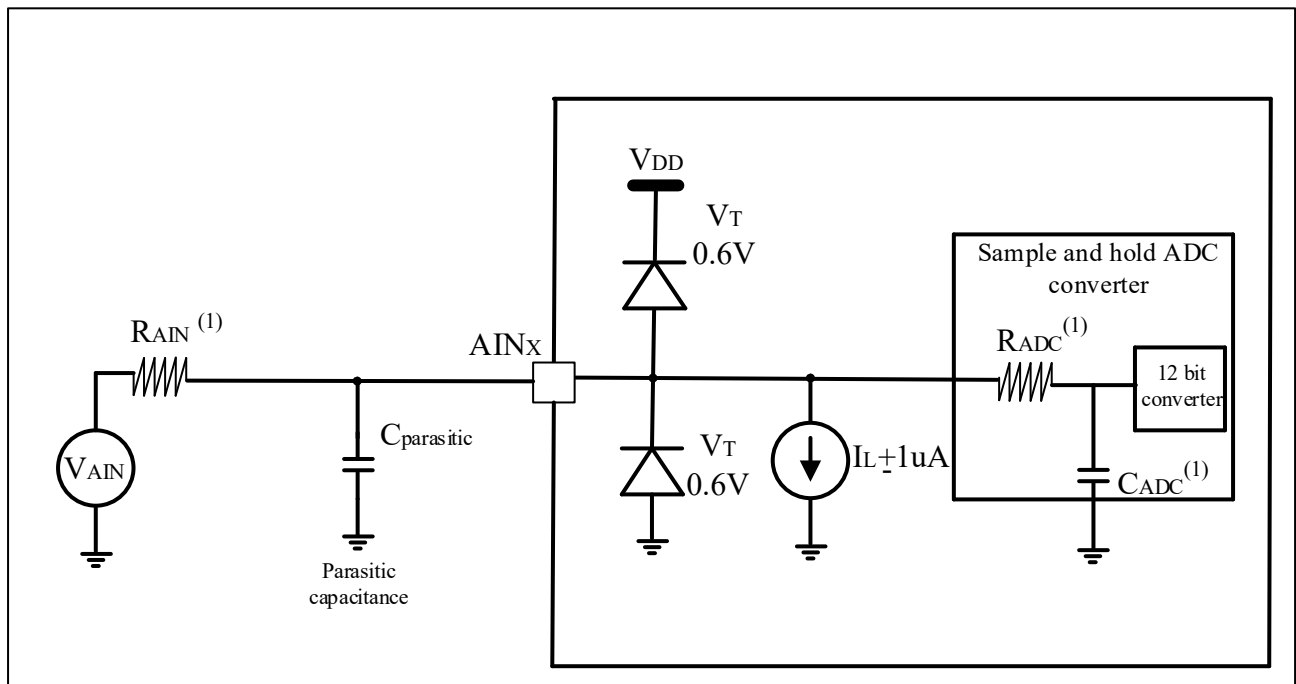


图 4-45 使用 ADC 典型的连接图



1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 4-63。
2. $C_{\text{parasitic}}$ 表示PCB(与焊接和PCB布局质量相关)与焊盘上的寄生电容(大约7pF)。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

4.3.29 12位数模转换器(DAC)电气参数

除非特别说明，表 4-66 和表 4-67 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-66 DAC 1MSPS 特性

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	模拟供电电压	DAC 输出缓存关闭，输出仅内部连接		2.4	-	3.6	V
V _{REF+}	正参考电压	DAC 输出缓存关闭，输出仅内部连接		2.4	-	V _{DDA}	
V _{REF-}	负参考电压	-		V _{SSA}			
R _L	缓冲器打开时的负载电阻	DAC 输出缓冲 打开	连接到 V _{SSA}	5	-	-	kΩ
			连接到 V _{DDA}	25	-	-	
R _o	输出阻抗	DAC 输出缓冲关闭		11.6	15	16.2	kΩ
C _L	负载电容	-		-	-	50	pF
DAC_OUT 最大	DAC_OUT 输出电压	输出缓冲器打开		0.2	-	V _{REF+} − 0.2	V
		输出缓冲器关闭		0	-	V _{REF+}	V
I _{DD}	在静止模式(待机模式)DAC 直流消耗(V _{DD} +V _{DDA} +V _{REF+})	-		-	543	732	μA
t _{SETTLING}	设置时间(全范围：12 位输入代码从最小值转变为最大值，DAC_OUT 达到其终值的±1 LSB)	DAC 缓冲器打开 CL ≤ 50 pF,RL ≥ 5 kΩ		-	3.1	4.5	μs
		DAC 缓冲器关闭		-	4.9	6.2	
t _{WAKEUP}	从关闭状态唤醒的时间(从使能 DAC 到 DAC_OUT 达到其终值的±1 LSB)	DAC 缓冲器打开，CL ≤ 50 pF, RL ≥ 5 kΩ		-	3.6	4.5	μs
		DAC 缓冲器关闭，CL ≤ 10 pF		-	5.4	6.5	
PSRR	供电抑制比(相对于 V _{DD33A})(静态直流测量)	DAC 缓冲器打开，CL ≤ 50 pF, RL ≥ 5 kΩ		-	-85	-30	dB
TW_to_W	两次连续写入 DACx_DATO 寄存器之间的最小时间，以保证输入代码的微小变化具有正确的 DAC_OUT(1 LSB)。DACxy_CTRL.EXOUT = 1, DACxy_CTRL. BxEN = 1	CL ≤ 50 pF, RL ≥ 5 kΩ		1	-	-	μs
	DACxy_CTRL.EXOUT = 1, DACxy_CTRL. BxEN = 0 或 DACxy_CTRL.INOUT = 1, DACxy_CTRL. BxEN = 0	CL ≤ 10 pF		1.5	-	-	

Voffset	Middle code offset for 1 trim code step	VREF+ =3.6V		-	-	1500	μV
IDDA(DAC)	DAC consumption from VDDA	输出缓冲器打开	无负载, 输入中值 0x800	-	199	333	μA
			无负载, 输入最大值 0xF1C	-	467	643	
		输出缓冲器关闭	无负载, 输入中值 0x800	-	-	6	
IDDV(DAC)	DAC consumption from VREF+	输出缓冲器打开	无负载, 输入中值 0x800	-	154	192	μA
			无负载, 输入最大值 0xF1C	-	27	34	
		输出缓冲器关闭	无负载, 输入中值 0x800	-	148	185	
DNL	非线性失真(2个连续代码间的偏差)	输出缓冲器打开		-28	-	+36	LSB
		输出缓冲器关闭		-9	-	+3	
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 4095 之间的连线间的偏差)	输出缓冲器打开		-2	-	+2	LSB
		输出缓冲器关闭		-2	-	+2	
偏移	偏移误差(代码 0x800 时测量的数值)	输出缓冲打开, CL ≤ 50 pF, RL ≥ 5 kΩ	VREF+ =3.6V	-12	-	12	LSB
			VREF+ =2.3V	-18	-	18	
		输出缓冲关闭, CL ≤ 50 pF, 没有 RL		-12	-	12	
增益误差	增益误差	输出缓冲器打开		-	± 2.2	-	%
		输出缓冲器关闭		-	± 0.5	-	

1. 由综合评估保证, 不在生产中测试。

表 4-67 DAC 15MSPS 特性

符号	参数	条件	最小值	典型值	最大值	单位
VDDA	模拟供电电压	-	2.3	-	3.6	V
VREF+	正参考电压	-	2.3	-	VDDA	V
VREF-	负参考电压	-	VSSA			V
DAC_OUT	DAC_OUT 电压	-	0	-	VREF+	V
DNL	非线性失真(2个连续代码间的偏差)	-	-2	-	2	LSB
INL	非线性积累(在代码 i 时测量的数值与代码 0 和代码 4095 之间的连线间的偏差)	CL ≤ 50 pF, no RL	-5	-	5	LSB

t _{SETTLING}	设置时间(全范围: 10 位输入代码从最小值转变为最大值, DAC_OUT 达到其终值的±1 LSB)	VDD > 2.7, 输出带一个比较器	10%-90%	-	14	19	ns
			5%-95%	-	16	22	
			1%-99%	-	21	30	
			32lsb	-	23	32	
			1lsb	-	52	71	
		VDD < 2.7, 输出带一个比较器	10%-90%	-	18	24	
			5%-95%	-	21	28	
			1%-99%	-	28	36	
			32lsb	-	29	37	
			1lsb	-	60	84	
t _{WAKEUP}	从关闭状态唤醒的时间(从使能 DAC 到 DAC_OUT 达到其终值的±1 LSB)	CL ≤ 10 pF		-	1.6	4	μs
PSRR	供电抑制比	VDD > 2.7 V		66	72	-	dB
		VDD < 2.7 V		54	72	-	dB
I _{DDA} (DAC)	DAC consumption from VDDA	无负载, 输入中值 0x800		-	-	7	μA
I _{DDV} (DAC)	DAC consumption from VREF+	无负载, 输入中值 0x800		-	715	930	

4.3.30 比较器(COMP)特性

除非特别说明，表 4-68 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-68 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压	-	2.3	-	3.6	V
V_{IN}	输入电压范围	-	0	-	V_{DDA}	
V_{REF}	6bit DAC 偏移电压	DAC 中值输出, $V_{REFP} = 3.3V$	-	± 5	± 12	mV
I_{REF}	6bit DAC static consumption from V_{REFP}	DAC 中值输出, $V_{REFP} = 3.3V$	-	33	46	μA
		DAC 最大输出, $V_{REFP} = 3.3V$	-	45	61	μA
T_{START}	比较器启动建立时间	-	-	-	5	us
t_D	Propagation delay for 200 mV step with 100 mV overdrive	$V_{DDA} \geq 2.7V$	-	20	24	ns
		$V_{DDA} < 2.7V$	-	30	45	
V_{OFFSET}	比较器输入失调误差	Full common mode range	-	-	± 10	mV
V_{hys}	比较器迟滞	无迟滞	-	0	-	mV
		低迟滞	15	20	25	
		中等迟滞	26	30	41	
		高迟滞	41	50	63	
I_{DDA}	Comparator consumption from V_{DDA}	Static	-	146	-	μA
		With 50 kHz ± 100 mV overdrive square signal	-	150	-	

1. 由设计保证，不在生产中测试。

4.3.31 电压参考缓冲器(VREFBUF)特性

除非特别说明，表 4-69 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-69 电压参考缓冲器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	-	2.3	-	3.6	V
V_{REFBUF_OUT}	参考电压输出	VS= 00 & $V_{DDA} \geq 2.8V$	-	2.498	-	
		VS= 01 & $V_{DDA} \geq 2.4V$	-	2.048	-	
		VS=10 & $V_{DDA} \geq 2.3V$	-	1.802	-	
		VS=11 & $V_{DDA} \geq 2.3V$	-	1.497	-	
TRIM	Trim 步长分辨率	-	-	± 5	-	%
CL	负载电容	-	0.5	1	2	μF
R_{ESR}	等效串联电阻器	-	0	0	2	Ω
PSRR	供电抑制比	DC	-	45	-	dB
		100KHz	-	70	-	
t_{START}	启动时间	CL =1 μF	-	366.1	1080	μs
$I_{DDA(VREFBUF)}$	VREFBUF consumption from V_{DDA}	Iload ≤ 10 mA	-	48	-	μA
I_{INRUSH}	Max $I_{DDA(VREFBUF)}$ at startup phase	Iload = 0	7.42	18.88	-	mA

1. 由设计保证，不在生产中测试。

4.3.32 温度传感器(TS)特性

除非特别说明，表 4-70 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-70 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	-	± 3	°C
Avg_Slope ⁽¹⁾	平均斜率	-3.1	-3.4	-4.15	mV/°C
$V_{30}^{(1)}$	在 30°C 时的电压	-	1.37	-	V
$t_{START}^{(1)}$	建立时间	4	-	10	μs
$T_{S_temp}^{(2)(3)}$	当读取温度时，ADC 采样时间	2	-	-	μs

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。

4.3.33 温度和 V_{BAT}

除非特别说明，表 4-71 和表 4-72 的参数是使用符合表 4-4 的条件的环境温度(25 °C)、 f_{HCLK} 频率和 V_{DDA} 供电电压测量得到。

表 4-71 V_{BAT} 监测器特性

符号	参数	最小值	典型值	最大值	单位
R	V_{BAT} 的电阻桥	-	75	-	KΩ
Q	V_{BAT} 测量的比例	-	4	-	-
$Er^{(1)}$	Q 上的误差	-10	-	10	%
$t_{svbat}^{(1)}$	读取 V_{BAT} 输入时的 ADC 采样时间	2	-	-	μs

1. 由设计保证，不在生产中测试。

表 4-72 V_{BAT} 充电特性

符号	参数	最小值	典型值	最大值	单位
R_{BC}	电池充电电阻档位 1	-	10	-	KΩ
	电池充电电阻档位 2	-	3	-	KΩ

5 封装尺寸

5.1 BGA100 封装尺寸

图 5-1 BGA 封装尺寸图

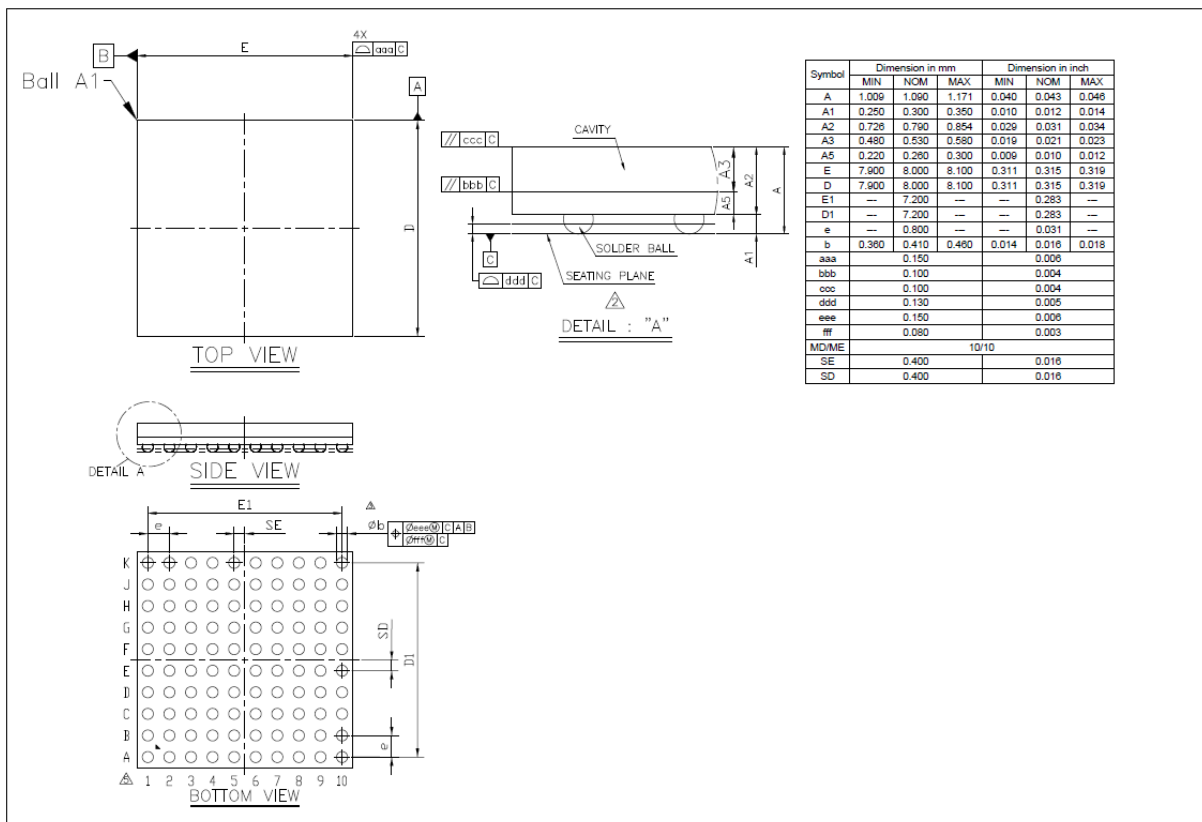


图 5-2 BGA100 封装焊盘建议

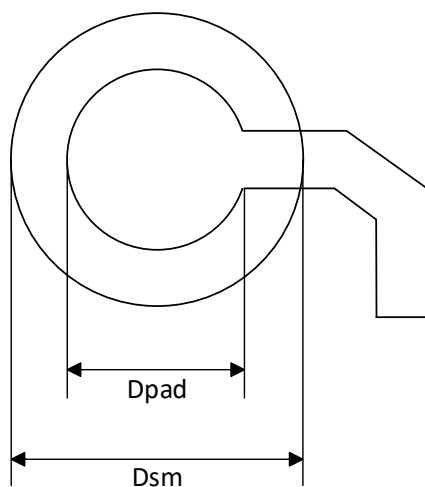


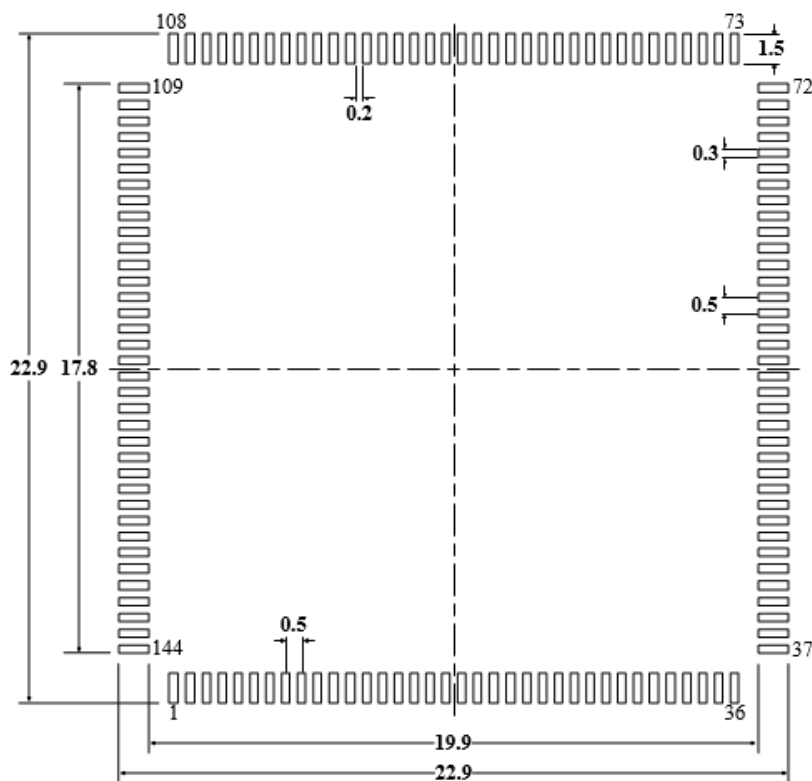
图 5-3 BGA100 封装 PCB 设计规则建议

Dimension	Recommended values
Pitch	0.8 mm
Dpad	0.350 mm
Dsm	0.400 mm typ. (depends on the soldermask registration tolerance)
Stencil opening	0.350 mm
Stencil thickness	Between 0.100 mm and 0.125 mm
Pad trace width	0.120 mm

图 5-6 LFPQ144 封装尺寸

Symbol	Dimension in mm			Dimension in inch		
	Min	Norm	Max	Min	Norm	Max
A	—	—	1.60	—	—	0.063
A₁	0.05	—	—	0.002	—	—
A₂	1.35	1.40	1.45	0.053	0.055	0.057
b	0.17	0.22	0.27	0.007	0.009	0.011
b₁	0.20 REF			0.008 REF		
c	0.12	—	0.20	0.005	—	0.008
c₁	0.13 REF			0.005 REF		
D	21.85	22.00	22.15	0.860	0.866	0.872
D₁	19.90	20.00	20.10	0.783	0.787	0.791
E	21.85	22.00	22.15	0.860	0.866	0.872
E₁	19.90	20.00	20.10	0.783	0.787	0.791
⌀	0.50 BSC			0.020 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
L₁	1.00 REF			0.039 REF		
R₁	0.15 REF			0.006 REF		
R₂	0.15 REF			0.006 REF		
S	0.19 REF			0.007 REF		
θ	0°	3.5°	7°	0°	3.5°	7°
θ₁	7° REF			7° REF		
θ₂	12° REF			12° REF		
θ₃	12° REF			12° REF		

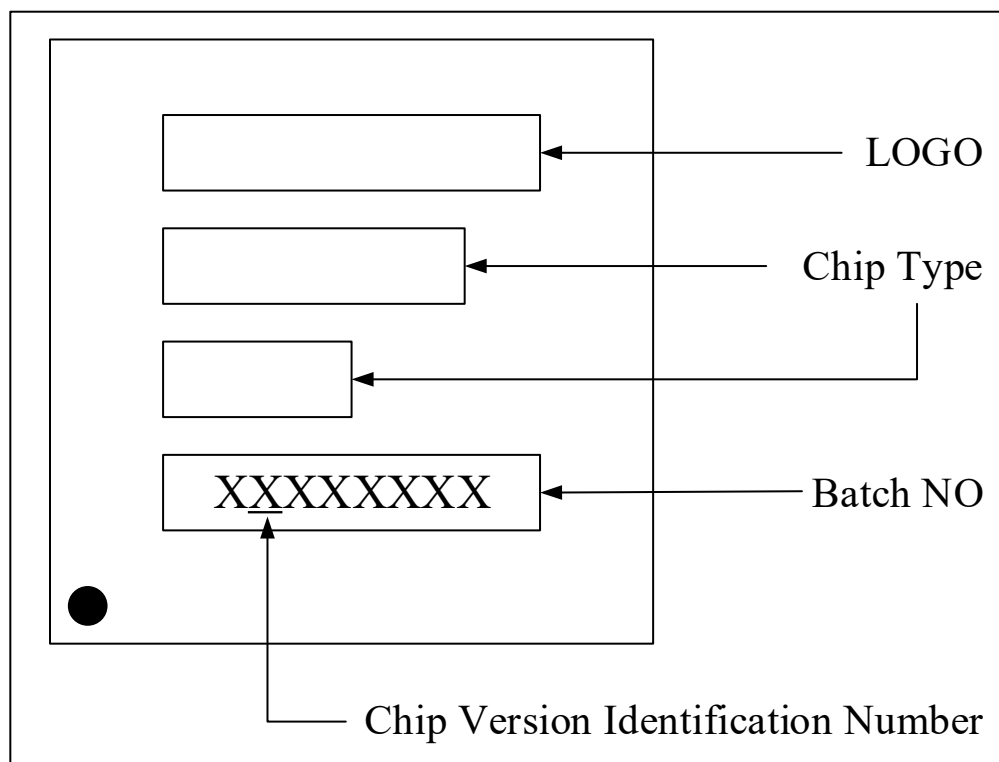
图 5-7 LQFP144 封装焊盘建议⁽¹⁾



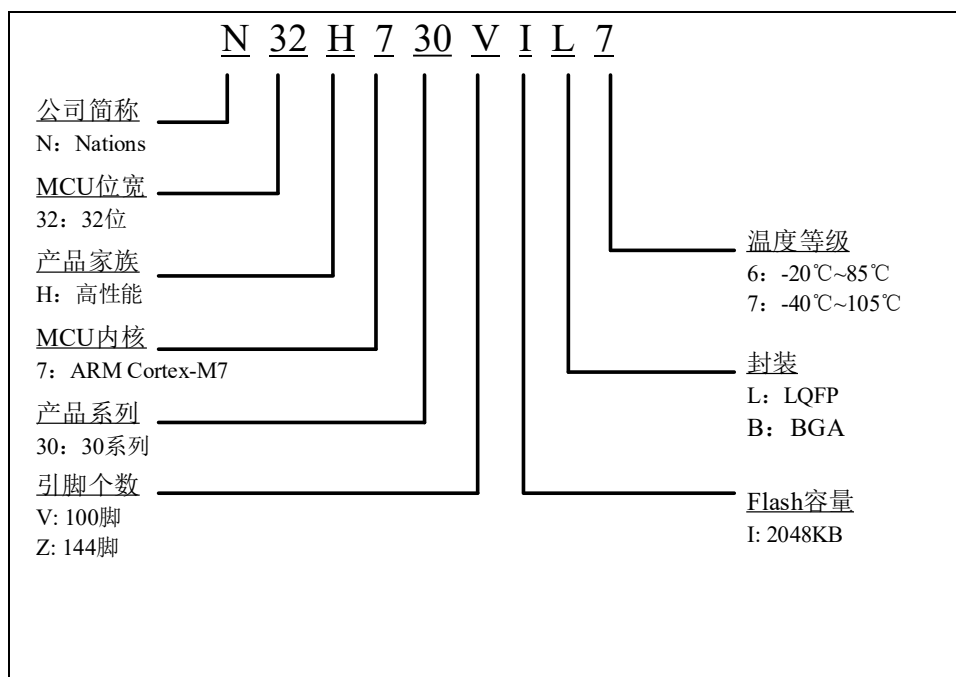
1.尺寸单位为毫米

5.4 丝印说明

图 5-8 丝印说明图



6.1 命名规则



6.2 订货代码信息

表 6-1 N32H730 系列订货代码信息

订购型号 ⁽¹⁾	封装	封装尺寸	包装 ⁽²⁾	SPQ ⁽³⁾	温度范围
N32H730VIB7	BGA100	8mm x 8mm	Tray	260	-40°C~105°C
N32H730VKB7	BGA100	8mm x 8mm	Tray	260	-40°C~105°C
N32H730VIL7	LQFP100	14mm x 14mm	Tray	90	-40°C~105°C
N32H730VKL7	LQFP100	14mm x 14mm	Tray	90	-40°C~105°C
N32H730ZIL7	LQFP144	20mm x 20mm	Tray	60	-40°C~105°C
N32H730ZKL7	LQFP144	20mm x 20mm	Tray	60	-40°C~105°C

1. 最新详细订购信息见选型手册
2. 此包装为基础包装，如有其他需求，请联系国民技术
3. 最小包装数量

7 历史版本

版本	日期	备注
V1.2.0	2025.11.28	1, 初始版本

8 声明

国民技术股份有限公司（下称“国民技术”）对此文档拥有专属产权。依据中华人民共和国的法律、条约以及世界其他法域相适用的管辖，此文档及其中描述的国民技术产品（下称“产品”）为公司所有。

国民技术在此并未授予专利权、著作权、商标权或其他任何知识产权许可。所提到或引用的第三方名称或品牌（如有）仅用作区别之目的。

国民技术保留随时变更、订正、增强、修改和改良此文档的权利，恕不另行通知。请使用人在下单购买前联系国民技术获取此文档的最新版本。

国民技术竭力提供准确可信的资讯，但即便如此，并不推定国民技术对此文档准确性和可靠性承担责任。

使用此文档信息以及生成产品时，使用者应当进行合理的设计、编程并测试其功能性和安全性，国民技术不对任何因使用此文档或本产品而产生的任何直接、间接、意外、特殊、惩罚性或衍生性损害结果承担责任。

国民技术对于产品在系统或设备中的应用效果没有任何故意或保证，如有任何应用在其发生操作不当或故障情况下，有可能致使人员伤亡、人身伤害或严重财产损失，则此类应用被视为“不安全使用”。

不安全使用包括但不限于：外科手术设备、原子能控制仪器、飞机或宇宙飞船仪器、所有类型的安全装置以及其他旨在支持或维持生命的应用。

所有不安全使用的风险应由使用人承担，同时使用人应使国民技术免于因为这类不安全使用而导致被诉、支付费用、发生损害或承担责任时的赔偿。

对于此文档和产品的任何明示、默示之保证，包括但不限于适销性、特定用途适用性和不侵权的保证责任，国民技术可在法律允许范围内进行免责。

未经明确许可，任何人不得以任何理由对此文档的全部或部分进行使用、复制、修改、抄录和传播。